

デュアル・インテリジェントの高電流対応自己保護型シリコン・ハイサイド・スイッチ (4.0 mΩ)

33984 は、パワー・マネジメント用の電気機械式リレー、ヒューズ、およびディスクリート・デバイスの機能を置き換え可能な自己保護機能付きデュアル型 4.0 mΩ ON 抵抗のシリコン・スイッチです。33984 は、過酷な環境向けに設計されており自己復帰機能を備えています。また、高い突入電流を持つ負荷、およびモータを含むすべてのタイプの抵抗性負荷および誘導性負荷にも適用できます。

プログラミング、制御、および診断はシリアル・ペリフェラル・インタフェース (SPI) を通して行います。それ以外に、各出力の代替制御用およびパルス幅変調 (PWM) 制御用として専用のパラレル入力を用意されています。デバイスは、SPI を通してフォルト・トリップしきい値を設定することで、アプリケーションに最適な性能に調整することが可能です。

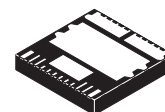
33984 は、鉛使用しない非絶縁タブ付きの電力が強化された 12 x 12 mm PQFN パッケージで提供されます。

主な特長

- パラレル入力または SPI 制御を備えたオン抵抗が最大 4.0 mΩ ON 抵抗のデュアル型ハイサイド・スイッチ
- 6.0 V ~ 27 V の動作電圧、5.0 μA 未満のスタンバイ電流
- SPI による選択が可能な 2 つの電流比による出力電流のモニタ
- SPI による過電流制限、過電流フォルト・ブランキング時間、出力オフ時オープン負荷検出、出力オン / オフ、ウォッチドッグ・タイムアウト、スルー・レート、およびフォルト・ステータス通知の制御
- SPI による過電流、オープン負荷 / ショート負荷、過熱、低電圧 / 過電圧遮断、フェールセーフ・ピン・ステータス、およびプログラム・ステータスのステータス通知
- 強化された -16 V 逆極性 V_{PWR} の保護

33984B

ハイサイド・スイッチ



底面図

PNA サフィックス
98ARL10521D
16 ピン PQFN

注文情報

デバイス名	温度範囲 (T _A)	パッケージ
MC33984BPNA/R2	-40 ~ 125	16 PQFN

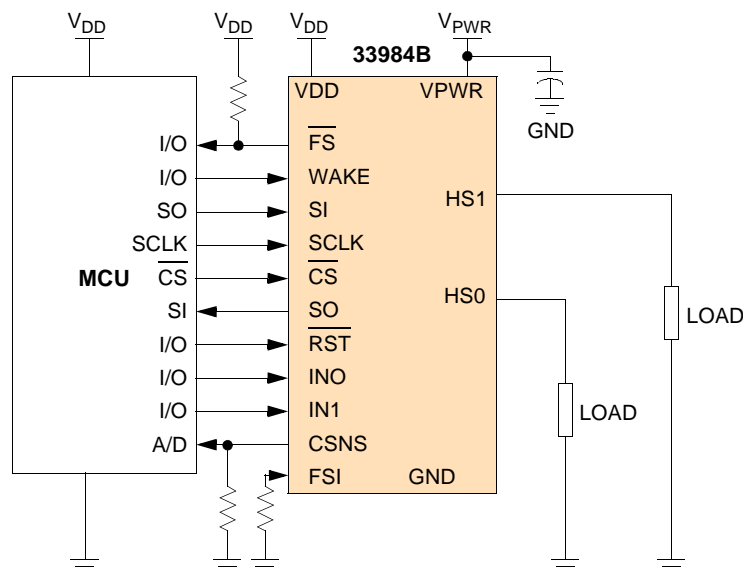


図 1. 33984 の簡略用途図

* 本書には新製品に関する情報が記載されています。
本書に記載された仕様および内容は予告なく変更される場合があります。
© Freescale Semiconductor, Inc., 2007. All rights reserved.

内部ブロック図

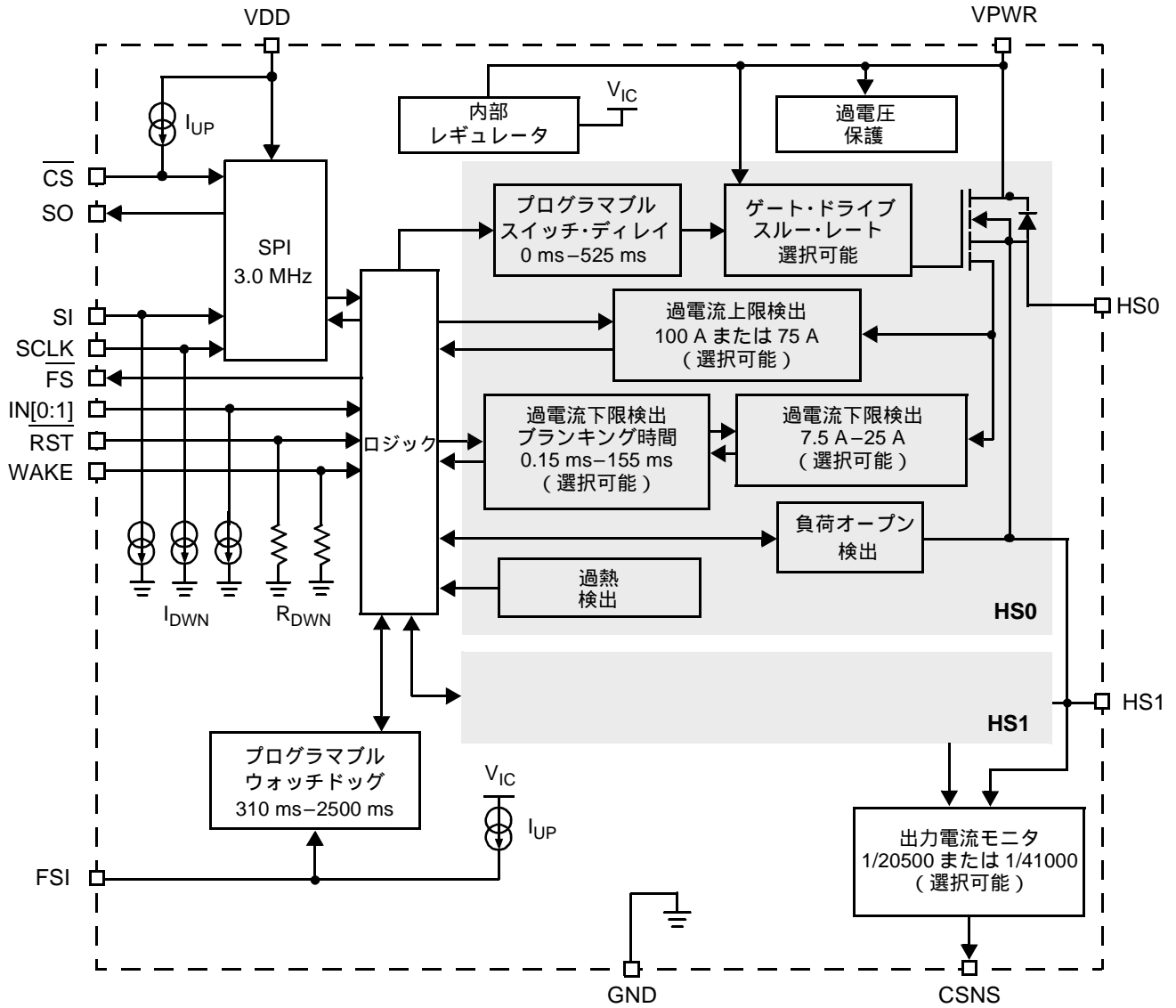


図 2. 33984 の簡略内部ブロック図

ピン接続

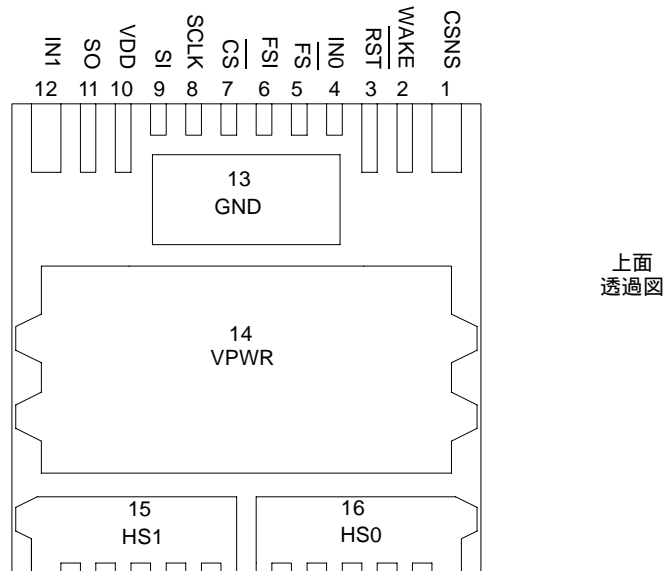


図 3. 33984 のピン接続（上面透過図）

表 1. ピン定義

各ピンの機能については、[16 ページ](#)以降の「機能ピンの説明」で説明します。

ピン	ピン名	ピン機能	機能名	定義
1	CSNS	出力	出力電流モニタ	このピンは、指定される HS0-1 出力に比例した電流の出力に使用します。
2	WAKE	入力	ウェイク	このピンは、ウォッチドッグ・タイマ機能をイネーブルする場合に論理 [1] 信号の入力に使用します。
3	$\overline{\text{RST}}$	入力	リセット (アクティブ Low)	この入力ピンは、デバイスのコンフィギュレーション・レジスタとフォルト・レジスタを初期化する場合、およびデバイスを低電流のスリープ・モードに設定する場合に使用します。
4	IN0	入力	ダイレクト入力 0	この入力ピンは、出力 HS0 を直接制御するのに使用します。
5	$\overline{\text{FS}}$	出力	フォルト・ステータス (アクティブ Low)	このピンはオープン・ドレイン設定の出力で、フォルト条件を通知します。V _{DD} との間に外部プルアップ抵抗の接続が必要です。
6	FSI	入力	フェールセーフ入力	ウォッチドッグがタイムアウトした後の出力の状態は、このピンとグラウンドの間に接続された抵抗の値で決まります。
7	$\overline{\text{CS}}$	入力	チップ・セレクト (アクティブ Low)	この入力ピンは、マスタ側のマイクロコントローラ (MCU) のチップ・セレクト出力に接続されます。
8	SCLK	入力	シリアル・クロック	この入力ピンは MCU に接続され、SPI 通信に必要なビット・シフト用クロックを供給します。
9	SI	入力	シリアル入力	このピンはコマンド・データ入力ピンで、MCU の SPI シリアル・データ出力またはデバイスのダイジー・チェーン方式で直前に位置するデバイスの SO ピンに接続されます。
10	VDD	入力	デジタル・ドレイン電圧 (電源)	このピンは、SPI 回路に電力を供給するための外部電圧入力です。
11	SO	出力	シリアル出力	この出力ピンは、MCU の SPI シリアル・データ入力またはデバイスのダイジー・チェーン方式で次に位置するデバイスの SI ピンに接続されます。

表 1. ピン定義 (続き)

各ピンの機能については、[16 ページ](#)以降の「機能ピンの説明」で説明します。

ピン	ピン名	ピン機能	機能名	定義
12	IN1	入力	ダイレクト入力 1	この入力ピンは、出力 HS1 を直接制御するのに使用します。
13	GND	グランド	グランド	このピンは、デバイスのロジック回路およびアナログ回路に対するグランドです。
14	VPWR	入力	正極電源	このピンは正極電源に接続され、デバイスが動作するための電源を供給します。
15	HS1	出力	ハイサイド出力 1	このピンは、負荷に対する保護機能をもつ 4.0 mΩ のハイサイド・パワー出力です。
16	HS0	出力	ハイサイド出力 0	このピンは、負荷に対する保護機能をもつ 4.0 mΩ のハイサイド・パワー出力です。

電気的特性

最大定格

表 2. 最大定格

すべての電圧は、特に明記しないかぎりグランドに対する電圧です。

定格	記号	数値	単位
電気定格			
動作電圧範囲 定常状態	V_{PWR}	-16 ~ 41	V
VDD 供給電圧	V_{DD}	-0.3 ~ 5.5	V
入力 / 出力 電圧 ⁽¹⁾	VIN[0:1]、RST、 FSI、 CSNS、SI、 SCLK、CS、FS	-0.3 ~ 7.0	V
SO 出力電圧 ⁽¹⁾	V_{SO}	-0.3 ~ $V_{DD}+0.3$	V
WAKE 入力クランプ電流	$I_{CL(WAKE)}$	2.5	mA
CSNS 入力クランプ電流	$I_{CL(CSNS)}$	10	mA
出力電圧	V_{HS}		V
正極性		41	
負極性		-15	
出力電流 ⁽²⁾	$I_{HS[0:1]}$	30	A
出カクランプ・エネルギー ⁽³⁾	$E_{CL[0:1]}$	0.75	J
ESD 電圧 ⁽⁴⁾			V
人体モデル (HBM)	V_{ESD1}	±2000	
チャージ・デバイス・モデル (CDM)	V_{ESD3}		
コーナー・ピン (1、12、15、16)		±750	
それ以外の全ピン (2、11、13、14)		±500	

注意

- この電圧制限を超えると、デバイスが損傷する恐れがあります。
- 最大接合部温度を超えない範囲の連続的なハイサイド出力電流定格です。パッケージの熱抵抗に基づく最大出力電流の計算が必要です。
- シングルパルス方式によるアクティブ・クランプ・エネルギーです (L = 16 mH、 $R_L = 0$ 、 $V_{PWR} = 12$ V、 $T_J = 150$)
- ESD1 検査は、人体モデル (HBM) (CZAP = 100 pF、RZAP = 1500 W) に従って実行します。ESD3 検査は、チャージ・デバイス・モデル、(CDM) 自動装置 (Czap=4.0pF) に従って実行します。

表 2. 最大定格

すべての電圧は、特に明記しないかぎりグランドに対する電圧です。

定格	記号	数値	単位
熱定格			
動作温度 周囲 接合部	T_A T_J	-40 ~ 125 -40 ~ 150	°C
保存温度	T_{STG}	-55 ~ 150	°C
熱抵抗 ⁽⁵⁾ 接合部からケース 接合部から周囲	$R_{\theta JC}$ $R_{\theta JA}$	<1.0 20	°C/W
リフロー時のパッケージ・ピーク・リフロー温度 ⁽⁶⁾ , ⁽⁷⁾	T_{PPRT}	注意 7	°C

注意

5. デバイスは、JEDEC JESD51-2 に準拠して 2s2p 検査基板に搭載します。
6. ピンのはんだ処理温度の許容時間は最大で 10 秒です。浸漬はんだ用には設計されていません。これらの制限を超えると、デバイスが誤動作したり損傷する恐れがあります。
7. フリースケールのパッケージのリフロー性能は、JEDEC 標準の J-STD-020C の鉛不使用条件を満たします。パッケージ・ピーク・リフロー温度および湿度検知レベル (MSL) については、www.freescale.com にアクセスしてパーツ番号で検索することができます。先頭と末尾の記号を除いたコア ID を入力すると (ならと入力する) 注文の可能なパーツの一覧とパラメータが表示されます。

静的電気特性

表 3. 静的電気特性

条件は、特に明記しないかぎり $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、 $6.0\text{ V} \leq V_{PWR} \leq 27\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ です。標準値は、特に明記しないかぎり公称条件で $T_A = 25^\circ\text{C}$ 時の近似パラメータの平均値です。

特性	記号	最小	標準値	最大	単位
電源入力					
バッテリー電源電圧範囲 フル稼働	V_{PWR}	6.0	–	27	V
VPWR 稼働時供給電流 出力オン、 I_{HS0} および $I_{HS1} = 0\text{ A}$	$I_{PWR(ON)}$	–	–	20	mA
VPWR 供給電流 出力オフ、オープン負荷検出ディスエーブル、 $WAKE > 0.7 V_{DD}$ 、 $RST = V_{LOGIC\ HIGH}$	$I_{PWR(SBY)}$	–	–	5.0	mA
スリープ時供給電流 ($V_{PWR} < 14\text{ V}$ 、 $\overline{RST} < 0.5\text{ V}$ 、 $WAKE < 0.5\text{ V}$) $T_J = 25^\circ\text{C}$ $T_J = 85^\circ\text{C}$	$I_{PWR(SLEEP)}$	– –	– –	10 50	μA
VDD 電源電圧	$V_{DD(ON)}$	4.5	5.0	5.5	V
VDD 供給電流 SPI 通信なし 3.0 MHz の SPI 通信	$I_{DD(ON)}$	– –	– –	1.0 5.0	mA
VDD スリープ時電流	$I_{DD(SLEEP)}$	–	–	5.0	μA
過電圧遮断しきい値	$V_{PWR(OV)}$	28	32	36	V
過電圧遮断ヒステリシス	$V_{PWR(OVHYS)}$	0.2	0.8	1.5	V
低電圧出力遮断 しきい値 ⁽⁸⁾	$V_{PWR(UV)}$	5.0	5.5	6.0	V
低電圧遮断ヒステリシス ⁽⁹⁾	$V_{PWR(UVHYS)}$	–	0.25	–	V
低電圧パワーオン・リセット	$V_{PWR(UVPOR)}$	–	–	5.0	V

注意

- この条件は、 V_{PWR} が供給されるすべての内部デバイス・ロジックに適用されます。ただし、外部 V_{DD} 電源は指定範囲内にあるものとします。
- これは、低電圧フォルトがラッチされない場合 ($IN[0:1] = 0$) に適用されます。

表 3. 静的電気特性（続き）

条件は、特に明記しないかぎり $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、 $6.0\text{ V} \leq V_{PWR} \leq 27\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ です。標準値は、特に明記しないかぎり公称条件で $T_A = 25^\circ\text{C}$ 時の近似パラメータの平均値です。

特性	記号	最小	標準値	最大	単位
パワー出力					
ドレイン - ソース間出力オン抵抗 ($I_{HS[0:1]} = 15\text{ A}$ 、 $T_J = 25^\circ\text{C}$) $V_{PWR} = 6.0\text{ V}$ $V_{PWR} = 10\text{ V}$ $V_{PWR} = 13\text{ V}$	$R_{DS(ON)}$	-	-	6.0 4.0 4.0	mΩ
ドレイン - ソース間出力オン抵抗 ($I_{HS[0:1]} = 15\text{ A}$ 、 $T_J = 150^\circ\text{C}$) $V_{PWR} = 6.0\text{ V}$ $V_{PWR} = 10\text{ V}$ $V_{PWR} = 13\text{ V}$	$R_{DS(ON)}$	-	-	10.2 6.8 6.8	mΩ
ドレイン - ソース間出力オン抵抗 ($I_{HS[0:1]} = 15\text{ A}$ 、 $T_J = 25^\circ\text{C}$ ⁽¹⁰⁾) $V_{PWR} = -12\text{ V}$	$R_{DS(ON)}$	-	-	8.0	mΩ
出力時の過電流上限検出レベル ($9.0\text{ V} \leq V_{PWR} \leq 16\text{ V}$) SOCH = 0 SOCH = 1	I_{OCH0} I_{OCH1}	80 60	100 75	120 90	A
過電流下限検出レベル (SOCL[2:0]) 000 001 010 011 100 101 110 111	I_{OCL0} I_{OCL1} I_{OCL2} I_{OCL3} I_{OCL4} I_{OCL5} I_{OCL6} I_{OCL7}	21 18 16 14 12 10 8.0 6.0	25 22.5 20 17.5 15 12.5 10 7.5	29 27 24 21 18 15 12 9.0	A
電流検知比 ($9.0\text{ V} \leq V_{PWR} \leq 16\text{ V}$ 、 $CSNS \leq 4.5\text{ V}$) DICR D2 = 0 DICR D2 = 1	C_{SR0} C_{SR1}	- -	1/20500 1/41000	- -	-
電流検知比 (C_{SR0}) 精度 出力電流 5.0 A 10 A 12.5 A 15 A 20 A 25 A	C_{SR0_ACC}	-20 -14 -13 -12 -13 -13	- - - - - -	20 14 13 12 13 13	%

注意

10. 負極性の V_{PWR} におけるソースからドレインのオン抵抗（ドレインからソースの反転オン抵抗）です。

表 3. 静的電気特性 (続き)

条件は、特に明記しないかぎり $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、 $6.0\text{ V} \leq V_{PWR} \leq 27\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ です。標準値は、特に明記しないかぎり公称条件で $T_A = 25^\circ\text{C}$ 時の近似パラメータの平均値です。

特性	記号	最小	標準値	最大	単位
パワー出力 (続き)					
電流検知比 (C_{SR1}) 精度	C_{SR1_ACC}				%
出力電流					
5.0 A		-25	–	25	
10 A		-19	–	19	
12.5 A		-18	–	18	
15 A		-17	–	17	
20 A		-18	–	18	
25 A		-18	–	18	
電流検知クランプ電圧	$V_{CL(CSNS)}$				V
CSNS オープン ; $I_{HS[0:1]} = 29\text{ A}$		4.5	6.0	7.0	
オープン負荷検出電流 ⁽¹¹⁾	I_{OLDC}	30	–	100	μA
出力フォルト検出しきい値	$V_{OLD(THRES)}$				V
出力をオフにプログラム		2.0	3.0	4.0	
出力負クランプ電圧	V_{CL}				V
$0.5\text{ A} \leq I_{HS[0:1]} \leq 2.0\text{A}$ 、出力オフ		-20	–	-15	
過熱遮断 ⁽¹²⁾	T_{SD}	160	175	190	$^\circ\text{C}$
過熱遮断ヒステリシス ⁽¹²⁾	$T_{SD(HYS)}$	5.0	–	20	$^\circ\text{C}$

注意

- 出力オフ時のオープン負荷検出電流は、該当の出力をオフに指定したときに発生するオープン負荷条件を検出するために負荷に流すための電流です。
- プロセス監視による保証値です。製品検査は行っていません。

表 3. 静的電気特性 (続き)

条件は、特に明記しないかぎり $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、 $6.0\text{ V} \leq V_{PWR} \leq 27\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ です。標準値は、特に明記しないかぎり公称条件で $T_A = 25^\circ\text{C}$ 時の近似パラメータの平均値です。

特性	記号	最小	標準値	最大	単位
制御インタフェース					
入力論理 High 電圧 (13)	V_{IH}	$0.7V_{DD}$	–	–	V
入力論理 Low 電圧 (13)	V_{IL}	–	–	$0.2V_{DD}$	V
入力 論理電圧ヒステリシス (14)	$V_{IN[0:1]}(HYS)$	100	600	1200	mV
入力論理プルダウン電流 (SCLK、IN、SI)	I_{DWN}	5.0	–	20	μA
RST 入力電圧範囲	$V_{\overline{RST}}$	4.5	5.0	5.5	V
SO、FS トライステート・キャパシタンス (15)	C_{SO}	–	–	20	pF
入力論理プルダウン抵抗 (\overline{RST}) および WAKE	R_{DWN}	100	200	400	$k\Omega$
入力キャパシタンス (15)	C_{IN}	–	4.0	12	pF
WAKE 入力クランプ電圧 (16) $I_{CL(WAKE)} < 2.5\text{ mA}$	$V_{CL(WAKE)}$	7.0	–	14	V
WAKE 入力フォワード電圧 $I_{CL(WAKE)} = -2.5\text{ mA}$	$V_{F(WAKE)}$	-2.0	–	-0.3	V
SO High 状態出力電圧 $I_{OH} = 1.0\text{ mA}$	V_{SOH}	$0.8V_{DD}$	–	–	V
FS、SO Low 状態出力電圧 $I_{OL} = -1.6\text{ mA}$	V_{SOL}	–	0.2	0.4	V
SO トライステート・リーク電流 $\overline{CS} > 0.7V_{DD}$	$I_{SO(LEAK)}$	-5.0	0	5.0	μA
入力論理プルアップ電流 (17) \overline{CS} , $V_{IN[0:1]} > 0.7V_{DD}$	I_{UP}	5.0	–	20	μA
FSI 入力ピン外部プルダウン抵抗 FSI ディスエーブル、HS[0:1] 不定 FSI イネーブル、HS[0:1] オフ FSI イネーブル、HS0 オン、HS1 オフ FSI イネーブル、HS[0:1] オン	RFS RFSdis RFSoff RFSonoff RFSonon	– 6.0 15 40	0 6.5 17 制限なし	1.0 7.0 19 –	$k\Omega$

注意

- 論理しきい値電圧範囲の上限値と下限値は、SI、 \overline{CS} 、SCLK、 \overline{RST} 、 $IN[0:1]$ 、および WAKE の各入力信号に適用されます。WAKE と \overline{RST} の各信号には、 V_{PWR} を基準とする誘導電圧が供給されます。
- FSI ピンおよびウェイク・ピンにはヒステリシスはありません。このパラメータはプロセス監視により保証されますが、製品検査は行っていません。
- SI、 \overline{CS} 、SCLK、 \overline{RST} 、および WAKE の入力キャパシタンスです。このパラメータはプロセス監視により保証されますが、製品検査は行っていません。
- 7.0 V を超える電圧を使用する場合は直列抵抗による電流の制限が必要です。
- \overline{CS} オープン時のプルアップ電流です。 \overline{CS} は、 V_{DD} との間にアクティブ・プルアップを内蔵します。

動的電気特性

表 4. 動的電気特性

条件は、特に明記しないかぎり $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、 $6.0\text{ V} \leq V_{PWR} \leq 27\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ です。標準値は、特に明記しないかぎり公称条件で $T_A = 25^\circ\text{C}$ 時の近似パラメータの平均値です。

特性	記号	最小	標準値	最大	単位
パワー出力タイミング					
出力立ち上がり低速スルー・レート A (DICR D3 = 0) ⁽¹⁸⁾ $9.0\text{ V} < V_{PWR} < 16\text{ V}$	SR _{RA_SLOW}	0.2	0.6	1.2	V/μs
出力立ち上がり低速スルー・レート B (DICR D3 = 0) ⁽¹⁹⁾ $9.0\text{ V} < V_{PWR} < 16\text{ V}$	SR _{RB_SLOW}	0.03	0.1	0.3	V/μs
出力立ち上がり高速スルー・レート A (DICR D3 = 1) ⁽¹⁸⁾ $9.0\text{ V} < V_{PWR} < 16\text{ V}$	SR _{RA_FAST}	0.4	1.0	4.0	V/μs
出力立ち上がり高速スルー・レート B (DICR D3 = 1) ⁽¹⁹⁾ $9.0\text{ V} < V_{PWR} < 16\text{ V}$	SR _{RB_FAST}	0.03	0.1	1.2	V/μs
出力立ち下がり低速スルー・レート A (DICR D3 = 0) ⁽¹⁸⁾ $9.0\text{ V} < V_{PWR} < 16\text{ V}$	SR _{FA_SLOW}	0.2	0.6	1.2	V/μs
出力立ち下がり低速スルー・レート B (DICR D3 = 0) ⁽¹⁹⁾ $9.0\text{ V} < V_{PWR} < 16\text{ V}$	SR _{FB_SLOW}	0.03	0.1	0.3	V/μs
出力立ち下がり高速スルー・レート A (DICR D3 = 1) ⁽¹⁸⁾ $9.0\text{ V} < V_{PWR} < 16\text{ V}$	SR _{FA_FAST}	0.8	2.0	4.0	V/μs
出力立ち下がり高速スルー・レート B (DICR D3 = 1) ⁽¹⁹⁾ $9.0\text{ V} < V_{PWR} < 16\text{ V}$	SR _{FB_FAST}	0.1	0.35	1.2	V/μs
高速 / 低速スルー・レートにおける出力起動遅延時間 ⁽²⁰⁾ DICR = 0, DICR = 1	t _{DLY(ON)}	1.0	15	100	μs
低速スルー・レート・モードにおける出力停止遅延時間 ⁽²¹⁾ DICR = 0	t _{DLY_SLOW(OFF)}	20	230	500	μs
高速スルー・レート・モードにおける出力停止遅延時間 ⁽²¹⁾ DICR = 1	t _{DLY_FAST(OFF)}	10	60	200	μs
ダイレクト入力切替え周波数 (DICR D3 = 0)	f _{PWM}	–	300	–	Hz

注意

- 立ち上がりおよび立ち下がりのスルー・レート A は、ハイサイド出力 = $0.5\text{ V} \sim V_{PWR} - 3.5\text{ V}$ の条件で $5.0\ \Omega$ の抵抗負荷において計測します。これらのパラメータはプロセス監視による保証値です。
- 立ち上がりおよび立ち下がりのスルー・レート B は、ハイサイド出力 = $V_{PWR} - 3.5\text{ V} \sim V_{PWR} - 0.5\text{ V}$ の条件で $5.0\ \Omega$ の抵抗負荷において計測します。これらのパラメータはプロセス監視による保証値です。
- 起動遅延時間は、 $R_L = 5.0\ \Omega$ の抵抗負荷で出力をオンにする IN[0:1] 信号の立ち上がりエッジから $V_{HS[0:1]} = 0.5\text{ V}$ に達するまでの期間で計測します。
- 停止遅延時間は、 $R_L = 5.0\ \Omega$ の抵抗負荷で出力をオフにする立ち下がりエッジから $V_{HS[0:1]} = V_{PWR} - 0.5\text{ V}$ に達するまでの期間で計測します。

表 4. 動的電気特性 (続き)

条件は、特に明記しないかぎり $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、 $6.0\text{ V} \leq V_{PWR} \leq 27\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ です。標準値は、特に明記しないかぎり公称条件で $T_A = 25^\circ\text{C}$ 時の近似パラメータの平均値です。

特性	記号	最小	標準値	最大	単位
パワー出力タイミング (続き)					
過電流検出ブランキング時間 (OCLT[1:0])					ms
00	t_{OCL0}	108	155	202	
01	t_{OCL1}	7.0	10	13	
10	t_{OCL2}	0.8	1.2	1.6	
11	t_{OCL3}	0.08	0.15	0.25	
過電流上限検出ブランキング時間	t_{OCH}	1.0	10	20	μs
CS から CSNS 有効時間 (22)	t_{CNSVAL}	–	–	10	μs
HS0 スイッチ・ディレイ時間 (OSD[2:0])					ms
000	t_{OSD0}	–	0	–	
001	t_{OSD1}	55	75	95	
010	t_{OSD2}	110	150	190	
011	t_{OSD3}	165	225	285	
100	t_{OSD4}	220	300	380	
101	t_{OSD5}	275	375	475	
110	t_{OSD6}	330	450	570	
111	t_{OSD7}	385	525	665	
HS1 スイッチ・ディレイ時間 (OSD[2:0])					ms
000	t_{OSD0}	–	0	–	
001	t_{OSD1}	–	0	–	
010	t_{OSD2}	110	150	190	
011	t_{OSD3}	110	150	190	
100	t_{OSD4}	220	300	380	
101	t_{OSD5}	220	300	380	
110	t_{OSD6}	330	450	570	
111	t_{OSD7}	330	450	570	
ウォッチドッグ・タイムアウト (WD[1:0]) (23)					ms
00	t_{WDTO0}	434	620	806	
01	t_{WDTO1}	207	310	403	
10	t_{WDTO2}	1750	2500	3250	
11	t_{WDTO3}	875	1250	1625	

注意

22. CSNS が目標値の $\pm 5\%$ 内に達するまでの時間です。
23. ウォッチドッグ・タイムアウト遅延は、出力ドライバ・オフおよび FSI フロートの条件でスリープ時に WAKE の立ち上がりエッジにより RST 発行されてから出力がオンになるまでの期間で計測します。この値は WDR の設定が [00] の場合です。 t_{WDTO} の精度は、設定されるすべてのウォッチドッグ・タイムアウトに共通です。

表 4. 動的電気特性 (続き)

条件は、特に明記しないかぎり $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、 $6.0\text{ V} \leq V_{PWR} \leq 27\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ です。標準値は、特に明記しないかぎり公称条件で $T_A = 25^\circ\text{C}$ 時の近似パラメータの平均値です。

特性	記号	最小	標準値	最大	単位
推奨 SPI インタフェース特性					
SPI 動作周波数	f_{SPI}	–	–	3.0	MHz
RST の Low 所要保持時間 ⁽²⁴⁾	$t_{\overline{\text{WRST}}}$	–	50	350	ns
$\overline{\text{CS}}$ の立ち上がりエッジから $\overline{\text{CS}}$ の立ち下がりエッジ (セットアップ時間) ⁽²⁵⁾	$t_{\overline{\text{CS}}}$	–	–	300	ns
RST の立ち上がりエッジから $\overline{\text{CS}}$ の立ち下がりエッジ (セットアップ時間) ⁽²⁵⁾	t_{ENBL}	–	–	5.0	μs
$\overline{\text{CS}}$ の立ち下がりエッジから SCLK の立ち上がりエッジ (セットアップ時間) ⁽²⁵⁾	t_{LEAD}	–	50	167	ns
SCLK の High 所要保持時間 (所要セットアップ時間) ⁽²⁵⁾	t_{WSCLKh}	–	–	167	ns
SCLK の Low 所要保持時間 (所要セットアップ時間) ⁽²⁵⁾	t_{WSCLKl}	–	–	167	ns
SCLK の立ち下がりエッジから $\overline{\text{CS}}$ の立ち上がりエッジ (セットアップ時間) ⁽²⁵⁾	t_{LAG}	–	50	167	ns
SI から SCLK の立ち下がりエッジ (セットアップ時間) ⁽²⁶⁾	$t_{\text{SI(SU)}}$	–	25	83	ns
SCLK の立ち下がりエッジから SI (セットアップ時間) ⁽²⁶⁾	$t_{\text{SI(HOLD)}}$	–	25	83	ns
SO 立ち上がり時間 $C_L = 200\text{ pF}$	t_{RSO}	–	25	50	ns
SO 立ち下がり時間 $C_L = 200\text{ pF}$	t_{FSO}	–	25	50	ns
SI、 $\overline{\text{CS}}$ 、SCLK 入力信号立ち下がり時間 ⁽²⁶⁾	t_{RSI}	–	–	50	ns
SI、 $\overline{\text{CS}}$ 、SCLK 入力信号立ち下がり時間 ⁽²⁶⁾	t_{RSI}	–	–	50	ns
$\overline{\text{CS}}$ 立ち下がりエッジから SO ロー・インピーダンス時間 ⁽²⁷⁾	$t_{\text{SO(EN)}}$	–	–	145	ns
$\overline{\text{CS}}$ 立ち上がりエッジから SO ハイ・インピーダンス時間 ⁽²⁸⁾	$t_{\text{SO(DIS)}}$	–	65	145	ns
SCLK 立ち上がりエッジから SO データ有効時間 ⁽²⁹⁾ $0.2 V_{DD} \leq \text{SO} \leq 0.8 V_{DD}$ 、 $C_L = 200\text{ pF}$	t_{VALID}	–	65	105	ns

注意

24. RST の Low 期間は、イネーブル状態の出力がオフになるかディスエーブル状態になるまでの期間で計測します。
25. 33984 の最大所要セットアップ時間は、マイクロコントローラが要求する最小保証時間です。
26. ダブル・パルスの発生を防止する場合の SI、 $\overline{\text{CS}}$ 、および SCLK の各入力信号の立ち上がり時間と立ち下がり時間の推奨値です。
27. SO で出力ステータス・データを使用できるまでに必要な時間です。CS のプルアップは $1.0\text{ k}\Omega$ です。
28. SO での出力ステータス・データの使用を終了するのに必要な時間です。CS のプルアップ $1.0\text{ k}\Omega$ です。
29. SCLK の立ち上がり後に SO から有効なデータを取得するまでに要する時間です。

タイミング図

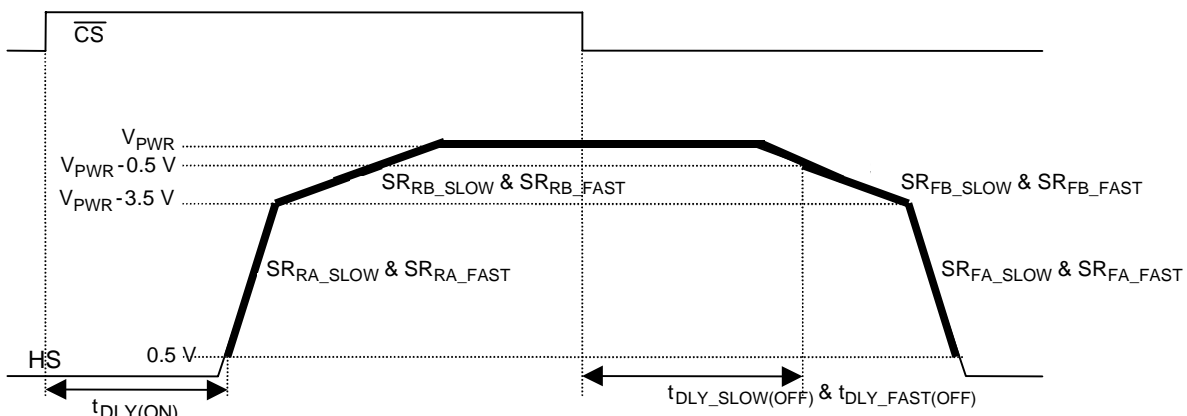


図 4. 出力スルー・レートおよび時間遅延

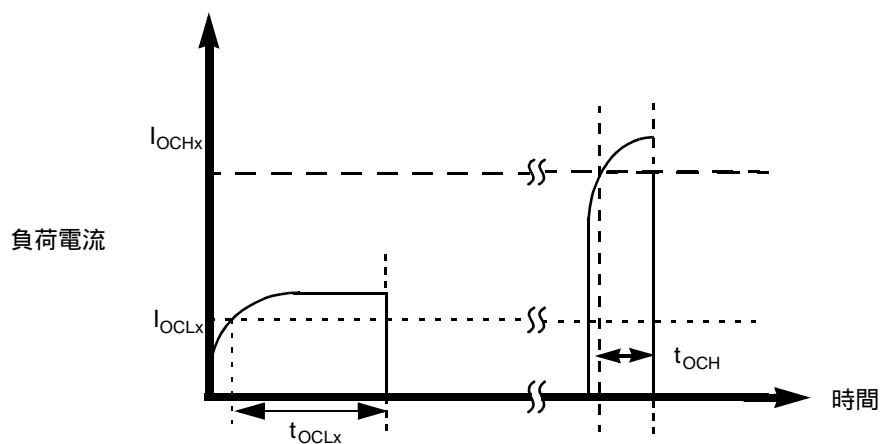


図 5. 過電流遮断

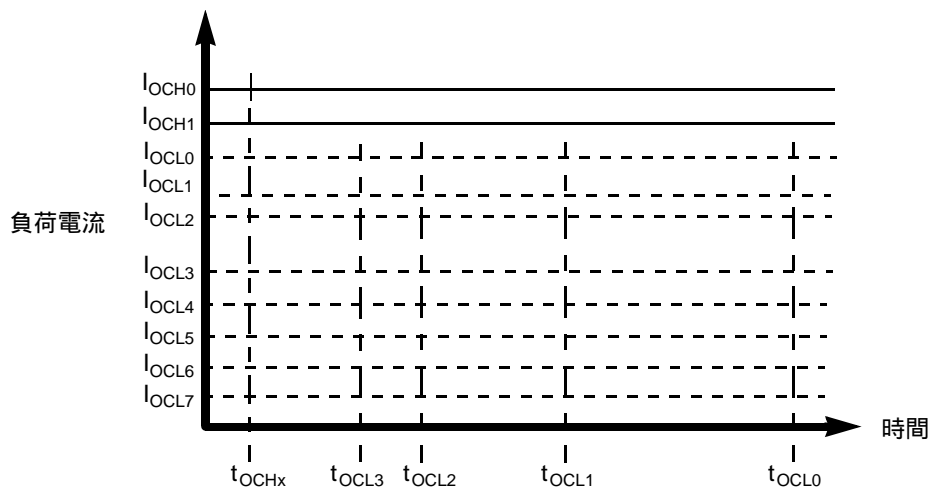


図 6. 過電流の下限および上限の検出

図 6 に、各過電流検出ブランキング時間 (t_{ochx} , t_{oclx}) でデバイスが到達する過電流検出レベル (I_{oclx} , I_{ochx}) を示します。

- t_{ochx} の期間では、デバイスは最大 I_{och0} の過電流レベルに達します。
- t_{ocl3} , t_{ocl2} , t_{ocl1} , または t_{ocl0} の期間では、最大 I_{ocl0} を検出するようにデバイスをプログラムできません。

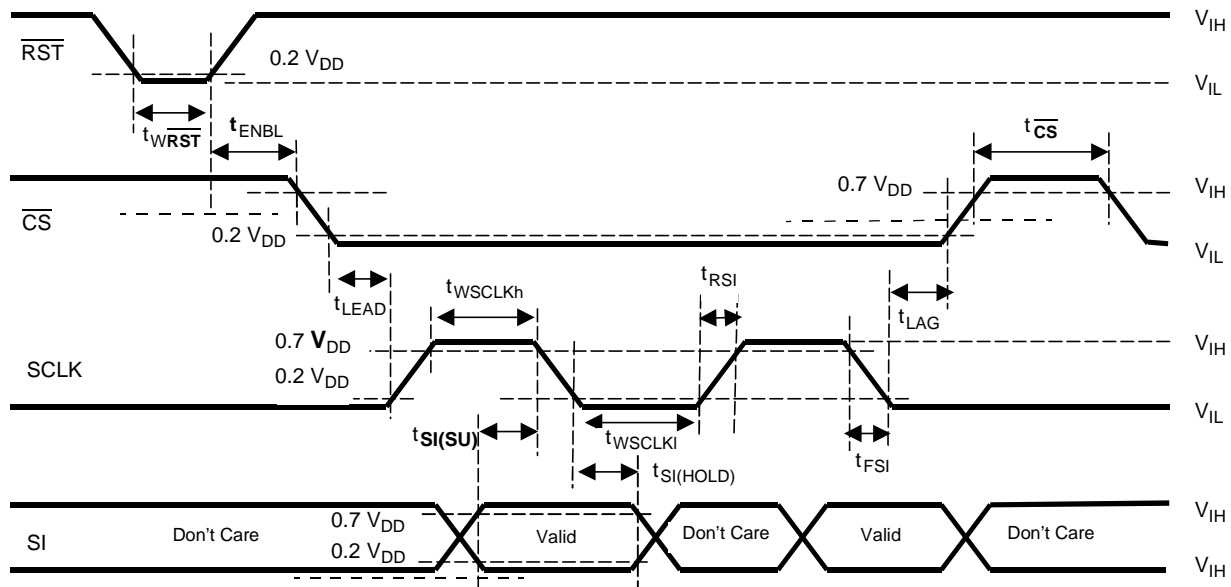


図 7. 入力タイミング切替え特性

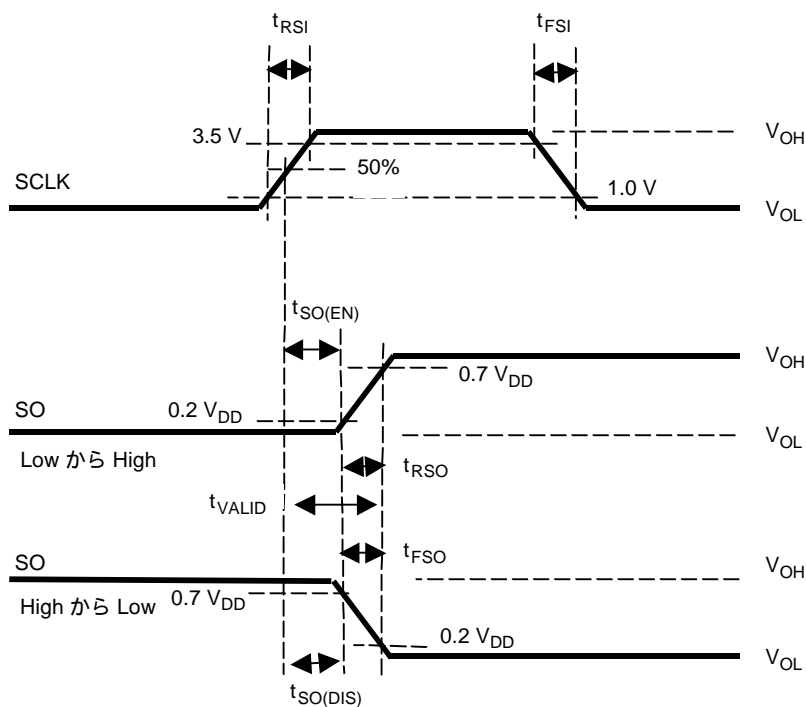


図 8. SCLK 波形および有効 SO データ遅延時間

機能の説明

はじめに

33984 は、パワーマネジメント用の電気機械式リレー、ヒューズ、およびディスクリート・デバイスの機能を代わって実行する自己保護機能を備えたデュアル型の 4.0 mΩ シリコン・スイッチです。33984 は、過酷な環境向けに設計されており自己復帰機能を備えています。また、高い突入電流を持つ負荷、およびモータを含むすべてのタイプの抵抗性負荷および誘導性負荷にも適用できます。

プログラミング、制御、および診断はシリアル・ペリフェラル・インタフェース (SPI) を通じて行います。それ以外に、各出力の代替制御用およびパルス幅変調 (PWM) 制御用として専用のパラレル入力が用意されています。デバイスは、SPI を通じてフォルト・トリップしきい値を設定することで、アプリケーションに最適な性能に調整することが可能です。

33984 は、鉛不使用で非絶縁タブ付きの電源が強化された 12 x 12 mm PQFN パッケージで提供されます。

機能ピンの説明

出力電流モニタ (CSNS)

このピンは、指定される HS0-1 出力に比例して変化する電流の出力に使用します。この電流はグラウンド基準抵抗まで流れ、その電圧は MCU の A/D でモニタされます。モニタ対象のチャンネルは SPI で選択します。このピンは、SPI でトライステートに設定することが可能です。

ウェイク (WAKE)

このピンは、ウォッチドッグ・タイマ機能をイネーブルするための論理 [1] 信号の入力に使用します。出力の電流が外部抵抗で制限される場合、このピンは内部クランプにより高電圧による損傷から保護されます。この入力、プルダウン受動素子を内蔵します。

リセット ($\overline{\text{RST}}$)

この入力ピンは、デバイスのコンフィギュレーション・レジスタとフォルト・レジスタを初期化する場合、およびデバイスを低電流のスリープ・モードに設定する場合に使用します。また、このピンが論理 Low から論理 High に変化するウォッチドッグ・タイマが起動します。このピンは、 V_{DD} が通常値でなければ論理 High になることはありません。この入力、プルダウン受動素子を内蔵します。

ダイレクト入力 IN0 および IN1 (INx)

この入力ピンは、HS0 と HS1 の出力を直接制御するのに使用します。この入力、アクティブ・プルダウンの電流ソースを内蔵し、CMOS 論理レベル信号を必要とします。この入力、SPI による設定が可能です。

フォルト・ステータス ($\overline{\text{FS}}$)

このピンはオープン・ドレイン設定の出力で、フォルト状態を通知します。 V_{DD} との間に外部プルアップ抵抗の接続が必要です。このピンは、デバイスでフォルトが検出されるとアクティブ Low になります。所定のデバイス診断によるフォルト状態は、SPI を通じて SO ピンで通知されます。

フェールセーフ入力 (FSI)

ウォッチドッグがタイムアウトした後の出力の状態は、このピンとグラウンドの間に接続された抵抗の値で決まります。抵抗値に応じて、すべての出力がオフまたはオンになるか、出力の HS0 のみがオンになります。FSI ピンを GND に接続すると、

ウォッチドッグ回路およびフェールセーフ動作はディスエーブルされます。このピンは、アクティブ・プルアップの電流ソースを内蔵します。

チップ・セレクト ($\overline{\text{CS}}$)

この入力ピンは、マスタ側のマイクロコントローラ (MCU) のチップ・セレクト出力に接続されます。MCU は、目的のデバイスの $\overline{\text{CS}}$ ピンを論理 Low に引き下げてデータを受信するデバイスをアドレス指定 (選択) し、その後でデバイスとの SPI 通信をイネーブルにします。シリアル・リンク上で CS ピンが論理 High に引き上げられたそれ以外の選択されないデバイスは、SPI 通信による送信データを無視します。このピンは、アクティブ・プルアップの電流ソースを内蔵します。

シリアル・クロック (SCLK)

この入力ピンは MCU に接続され、SPI 通信に必要なビット・シフト用クロックを供給します。このピンは、通信インタフェースで定義される動作周波数 (f_{SPI}) で 1 ビットが転送される毎に、状態が変化します。コマンド転送間で、50% デューティ・サイクルの CMOS レベルのシリアル・クロック信号はアイドルに移行します。この信号は、デバイスとの間のデータのシフト・インおよびシフト・アウトに使用されます。この入力は、アクティブ・プルダウンの電流ソースを内蔵します。

シリアル入力 (SI)

このピンはコマンド・データ入力ピンで、MCU の SPI シリアル・データ出力またはデバイスのデジター・チェーン方式で直前に位置するデバイスの SO ピンに接続されます。この入力は、CMOS 論理レベル信号を必要とし、アクティブ・プルダウンの電流ソースを内蔵します。デバイス制御は、この入力 MSB から順に受け付けるシリアル転送の 8 ビットの制御コマンドにより実行されます。MCU は、SCLK の立ち上がりエッジでデータのアクセスが可能であることを保証します。SCLK の立ち上がりエッジでは、SI の論理状態がコマンド・ビットとして内部のコマンド・シフト・レジスタにロードされます。

デジタル・ドレイン電圧 (VDD)

このピンは、SPI 回路に電源を供給するための外部電圧入力です。 V_{DD} の供給が停止する場合、内部電源が一部のロジックに対して供給されてデバイスの限定的な機能が確保されます。ただし、デバイスのすべてのコンフィギュレーション・レジスタはリセットされます。

シリアル出力 (SO)

このピンは、MCU の SPI シリアル・データ入力ピンまたはデバイスのダイジー・チェーン方式で次に位置するデバイスの SI ピンに接続されます。この出力は、デバイスの \overline{CS} ピンが論理 High の間はトライステート (ハイ・インピーダンス・オフ状態) を保ちます。SO は、デバイスの \overline{CS} ピンが論理 Low にアサートされている場合のみアクティブです。生成される SO 出力信号は、CMOS 論理レベル信号です。SO の出力データは、SCLK の立ち下がりエッジでアクセスが可能で、SCLK の立ち下がりエッジの直後に状態が変化します。

正極電源 (VPWR)

このピンは正極電源に接続され、デバイスが動作するための電源を供給します。V_{PWR} ピンは、パッケージの背面実装タブに設置されています。

ハイサイド出力 0 および 1 (HSx)

このピンは、負荷に対する保護機能をもつ 4.0 mΩ のハイサイド・パワー出力です。

機能デバイスの動作

動作モード

33984 には、スリープ、通常、フォルト、およびフェールセーフの4つの動作モードがあります。表5に、以降で説明する動作モードの詳細をまとめておきます。

表5. 33984 のフェールセーフから他の動作モードへの移行

モード	FS	WAKE	RST	WDTO	説明
スリープ	x	0	0	x	デバイスはスリープ・モード。すべての出力はオフ。
通常	1	x	1	なし	通常モード。ウォッチドッグはイネーブルされていればアクティブ。
フォルト	0	1	x	なし	デバイスはフォルト・モード。フォルト条件が発生した出力はオフになる。
	0	x	1		
フェールセーフ	1	0	1	あり	デバイスは、ウォッチドッグがタイムアウトするとフェールセーフ・モードになる。出力状態はFSIに接続されたRFS抵抗で決まる。デバイスのフェールセーフ・モードを終了するには、RSTとWAKEを同時に論理[0]に変化させるか、FSIピンを一時的にグラウンドに接続する。
	1	1	1		
	1	1	0		

x = ドント・ケア

スリープ・モード

33984 のデフォルトの動作モードは、スリープ・モードです。これは、最初にバッテリー電圧 (V_{PWR}) が印加されてから I/O が動作するまでのデバイスの状態です。デバイスは、WAKE と RST がともに論理 [0] の場合もこの状態に移行します。スリープ・モードでは、出力およびすべての未使用の内部回路 (5.0 V の内部レギュレータなど) はオフとなるため電流消費は最小です。また、SPI により設定されるすべてのデバイス機能は論理 [0] の設定と見なされます。デバイスは、表5で定義される WAKE と RST の各入力に基づいて通常またはフェールセーフの動作モードに移行します。

通常モード

33984 は、以下の場合に通常モードに移行します。

- V_{PWR} は通常の電圧範囲内である
- RST ピンは論理 [1]
- フォルトは発生していない

フェールセーフおよびウォッチドッグ

FSI 入力グラウンド処理されていない場合、WAKE または RST の入力ピンが論理 [0] から論理 [1] に変化するとウォッチドッグ・タイムアウト検出がアクティブになります。WAKE 入力

は、仕様に基づいて内部クランプ電流を制限する直列の制限抵抗により V_{PWR} にプルアップすることが可能です。

ウォッチドッグのタイムアウト周期は、内部発振器周期の倍数です。表14を参照してください。デバイスは、SPIの入力メッセージのWDビット(D7)がWDRの設定値に基づいて最小のウォッチドッグ・タイムアウト周期(WDTO)内で切り替わるかぎり、通常に動作します。WDビットが切り替わる前に内部でウォッチドッグのタイムアウトが発生すると、デバイスは再初期化が実行されるまでフェールセーフ・モードに戻ります。

フェールセーフ・モードでは、出力はダイレクト入力やモードに関係なくFSIピンに接続されたRFS抵抗に応じてオンまたはオフになります(表6)。このモードでは、SPIレジスタの内容は保持されますが、過電流の上限および下限の検出レベルおよびタイミング条件は例外でデフォルト値にリセットされます(SOCL、SOCH、およびOCLT)。ウォッチドッグ、過電圧、過熱、および過電流の各回路は(デフォルト設定により)フルに動作します。

表6. フェールセーフ・モード時の出力状態

RFS (kΩ)	ハイサイド状態
0	フェールセーフ・モードはディスエーブル
6.0	HS0 と HS1 はオフ
15	HS0 はオン、HS1 はオフ
30	HS0 と HS1 はオン

フェールセーフ・モードは、WDレジスタのWDTOビット(D2)をモニタして検出できます。このビットは、デバイスがフェールセーフ・モードのときは論理[1]になります。フェールセーフ・モードを終了するには、WAKEピンとRSTピンを論理[1]から論理[0]に変化させるか、FSIピンを強制的に論理[0]にします。表5に、デバイスのフェールセーフ・モードをリセットするための方法の一覧を示します。

FSIピンをGNDに接続すると、フェールセーフでのウォッチドッグ機能はディスエーブルされます。

 V_{DD} の切断

外部の5.0V電源が指定の範囲外であるか接続が解除されているときは、すべてのレジスタの内容はリセットされます。この場合でも、2つの出力はダイレクト入力のIN1:IN0によりドライブすることができます。33984は、 V_{DD} の供給が停止するとバッテリー入力を使用して出力MOSFETに関連する電流検出回路およびそれ以外の内部ロジックに電力を供給し、デバイスをフェールセーフで動作させます。ウォッチドッグ、過電圧、過熱、および過電流の各回路は(デフォルト設定により)フルに動作します。

フォルト・モード

33984は、以下のフォルト条件が発生するとFSピンを論理[0]にドライブして表示します。

- 過熱フォルト

- オープン負荷フォルト
- 過電流フォルト（上限および下限）
- 過電圧および低電圧フォルト

FS ピンは、フォルト条件が解消すれば自動的に論理 [1] に戻ります。ただし、過電流および一部の低電圧のケースでは論理 [1] に戻りません。

保護および診断の機能

過熱フォルト（ラッチなし）

33984 は、各出力構造での過熱の検知と遮断の回路を備えています。過熱検出は、出力がオン状態のときにイネーブルになります。

過熱フォルト（OTF）条件が発生すると、その出力は温度が $T_{SD(HYS)}$ 未満に低下するまでオフになります。このサイクルは、MCU により出力が停止されるか原因となる負荷が除去されるまで、継続されます。

過熱フォルトが発生するとステータス・レジスタの OTF フォルト・ビットがセットされ、SPI リードまたはデバイスのパワーオン・リセットを実行するとビットがクリアされます。

過電圧フォルト（ラッチなし）

33984 は、 V_{PWR} ピンで過電圧フォルト（OVF）条件が発生すると出力を遮断します。出力は、過電圧条件が解消するまでオフ状態です。過電圧フォルトが発生すると OVF フォルト・ビット（OD1）がセットされ、SPI リードまたはパワーオン・リセットを実行するとビットがクリアされます。

過電圧の保護と診断は、SPI を通して（OV_dis ビットで）ディスエーブルにできます。

低電圧遮断（ラッチありまたはラッチなし）

出力は、バッテリー電圧が 6.0 V 未満に低下するとラッチ・オフします。デバイスの内部ロジックの状態は、 V_{DD} レベルが通常の指定範囲内にあるかぎり維持されます。

バッテリー電圧が低電圧しきい値（VPWRUV）未満に低下すると、出力はオフとなり、FS は論理 [0] に変化し、フォルト・レジスタの UVF ビットが論理 [1] にセットされます。

バッテリー・レベルが回復した場合は、以下の 2 つのケースを考慮する必要があります。

- 出力がオフに指定されている場合、 \overline{FS} は論理 [1] に変化しますが、UVF ビットは次にリードされるまでは [1] にセットされたままです。
- 出力がオンに指定されている場合、 \overline{FS} は論理 [0] のままです。このケースでは、出力をオフにしてから再びオンにして再イネーブルし、FS を解放する必要があります。UVF ビットは、次のリード操作まではセットされたままです。

低電圧保護は、SPI を通して（UV_dis ビットを [1] にセット）ディスエーブルにできます。ディスエーブルの場合、FS および UVF ビットは低電圧フォルト条件を通知せず、出力状態は

フォルト情報はフォルト・レジスタに保持されるため、最初の SPI 通信で SO ピンを通してリード（およびリセット）することが可能です（表 16 参照）。

バッテリー電圧が 2.5 V 未満に降下しないかぎり変化することはありません。

負荷オープン・フォルト（ラッチなし）

33984 は、各出力のオープン負荷検出回路を備えています。出力の負荷オープン・フォルト（OLF）は、該当の出力がディスエーブル（オフ）の場合に検出および通知されます。このフォルトは、内部ゲート電圧が低位に引き下げられ出力が OFF になった時に、検出されてステータス・レジスタにラッチされます。ステータス・レジスタでは OLF フォルト・ビットがセットされます。負荷オープン・フォルトが解消すれば、ステータス・レジスタをリードするとフォルト・ビットはクリアされます。

負荷オープン保護は、SPI を通して（OL_dis ビットで）ディスエーブルにできます。負荷オープン・フォルト条件が継続的に発生する場合は、負荷オープン検出回路をディスエーブルする（OL_dis ビットを論理 [1] にセット）ことが推奨されます。

過電流フォルト（ラッチあり）

デバイスは、プログラム可能な 8 段階の過電流下限検出レベル（ I_{OCL} ）および 2 段階の過電流上限検出レベル（ I_{OCH} ）により最大限に保護されます。この 2 つの検出レベルは同時にアクティブとなり、 I_{OCH} と I_{OCL} で定義します。図 6 を参照してください。図 6 には、8 段階の過電流下限検出レベル（ I_{OCL0} ： I_{OCL7} ）も示してあります。

負荷電流レベルが選択された過電流下限検出レベルに達してその条件がプログラムされた期間（ t_{OCx} ）を超えると、デバイスは該当の出力はラッチ・オフされます。

また、電流が選択された I_{OCH} レベルに達すると、デバイスは選択された t_{OCL} ドライバに関係なく直ちにフォルト条件をラッチして出力をオンにします。

いずれのケースでも、出力がオフに設定され再びオンに設定されるまで出力はオフ状態を継続します。

バッテリー逆接続

出力は、負の印加電圧が -16 V まで耐えることができます。この条件では、出力ゲートが拡張され、オン抵抗も通常動作時とほぼ同じになるため、接合部温度を安易に 150 未満に保つことができます。出力のオン抵抗値は通常モードと変わりません。受動部品を追加する必要もありません。

グラウンド切断の保護

33984 は、グラウンドと負荷グラウンドの接続が切断されると、自分自身を保護するために切断時の出力の状態に関係なく出力を安全にオフにします。グラウンドの接続が切断されたときにデバ

イスのオフを保証して、該当のピンが最大定格を超過するのを防ぐには、ウェイク・ピンとそれ以外の回路の間に 10K の抵抗を追加する必要があります。

表 7. 低電圧時のデバイス動作

SPD4 (VPWR バッテリ電圧)**	状態	UV イネーブル IN=0 (立ち下がり VPWR)	UV イネーブル IN=0 (立ち上がり VPWR)	UV イネーブル IN=1 (立ち下がり VPWR)	UV イネーブル IN=1 (立ち上がり VPWR)	UV ディス エーブル IN=X (立ち下がり または 立ち上がり VPWR)
VPWR > VPWRUV	出力状態	オフ	オフ	オン	オフ	オフ
	FS 状態	1	1	1	0	1
	SPI フォルト・レジスタの UVF ビット	0	次回リードまで 1	0	1	0
VPWRUV > VPWR > UVPOR	出力状態	オフ	オフ	オフ	オフ	オフ
	FS 状態	0	0	0	0	1
	SPI フォルト・レジスタの UVF ビット	1	次回リードまで 1	1	1	0
UVPOR > VPWR > 2.5 V*	出力状態	オフ	オフ	オフ	オフ	オフ
	FS 状態	1	1	1	1	1
	SPI フォルト・レジスタの UVF ビット	次回リードまで 1	次回リードまで 1	次回リードまで 1	次回リードまで 1	0
2.5 V > VPWR > 0V	出力状態	オフ	オフ	オフ	オフ	オフ
	FS 状態	1	1	1	1	1
	SPI フォルト・レジスタの UVF ビット	次回リードまで 1	次回リードまで 1	次回リードまで 1	次回リードまで 1	0
	備考	UV フォルトは ラッチされない	UV フォルトは ラッチされない		UV フォルトは ラッチされる	

* = 標準値 (保証値ではありません)。

** = VDD が指定範囲内にある場合。

論理コマンドおよびレジスタ

SPI プロトコルの説明

SPI インタフェースは、4 本の I/O ラインを使用して全二重 /3 線式の同期データ転送を実行します。4 本のラインとは、シリアル・クロック (SCLK)、シリアル入力 (SI)、シリアル出力 (SO) およびチップ・セレクト (\overline{CS}) です。

33984 の SI/SO ピンは、先入れ先出し (D7/D0) のプロトコルに準拠します。入力ワードおよび出力ワードは、いずれも最上位ビット (MSB) から順に転送されます。すべての入力は、5.0 V の CMOS 論理レベルに対応します。

SPI ラインは、以下に説明する機能を実行します。

シリアル・クロック (SCLK)

シリアル・クロック (SCLK) は、33984 デバイスの内部シフト・レジスタにクロックを供給します。シリアル入力 (SI) ピンは、SCLK 信号の立ち下がりエッジでデータを受け付けて入力シフト・レジスタに格納します。シリアル出力 (SO) ピンは、SCLK 信号の立ち上がりエッジで SO ライン・ドライバからデータをシフト・アウトします。SCLK ピンは、 \overline{CS} が変化する場合には論理 Low 状態になっている必要があります。したがって、デバイスがアクセスされていない場合は (\overline{CS} は論理 [1]) SCLK ピンを論理 [0] にしておくことが推奨されます。SCLK は、アクティブ・プルダウン (I_{DWN}) を内蔵します。 \overline{CS} が論理 [1] なら、SCLK ピンおよび SI ピンの信号は無視され、SO はトライステート (ハイ・インピーダンス) になります。[図 9](#) および [図 10](#) を参照してください。

シリアル入力 (SI)

このピンは、シリアル・インタフェース (SI) のコマンド・データ入力です。SI ビットは、SCLK の立ち下がりエッジで

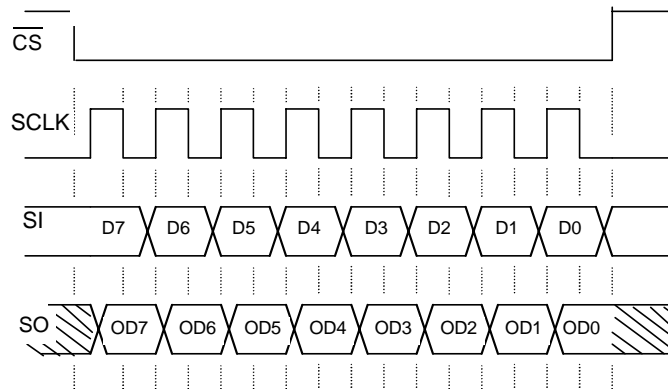
リードされます。SI ピンには、D7 から D0 までの 8 ビットのシリアル・データ・ストリームを入力する必要があります。33984 の内部レジスタは、[表 8](#) に示す 4 ビット・アドレッシング方式により設定および制御されます。レジスタのアドレッシングと設定については、[表 9](#) で説明します。SI 入力は、アクティブ・プルダウン (I_{DWN}) を内蔵します。

シリアル出力 (SO)

SO データ・ピンはシフト・レジスタの出力先で、トライステートの設定が可能です。SO ピンは、 \overline{CS} ピンが論理 [0] 状態になるまでハイ・インピーダンス状態にとどまります。SO データは、出力ステータス、デバイス設定、およびキー入力状態を通知します。SO ピンは、SCLK の立ち下がりエッジで状態を変化させます。リードは SCLK の立ち下がりエッジで行う必要があります。フォルトおよび入力ステータスについては、[表 5](#) で説明します。

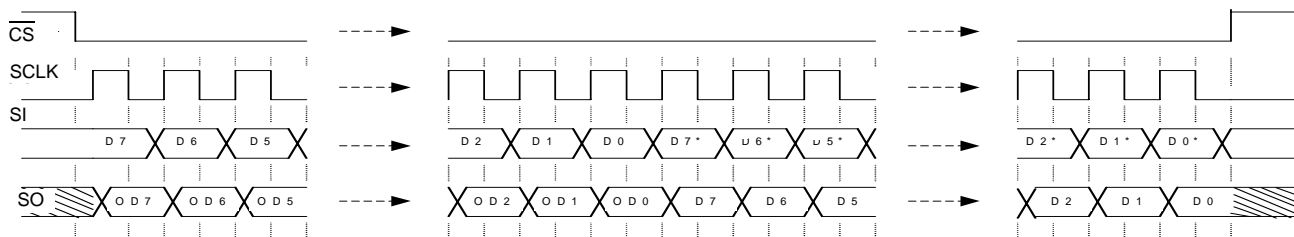
チップ・セレクト (\overline{CS})

\overline{CS} ピンは、マスタ側のマイクロコントローラ (MCU) との通信をイネーブルします。このピンが論理 [0] 状態なら、デバイスは MCU に情報を送信したり MCU から情報を受信することが可能です。33984 は、 \overline{CS} の立ち上がりエッジで入力シフト・レジスタのデータをアドレス指定されるレジスタにラッチします。また、 \overline{CS} の立ち下がりエッジで出力のステータス情報をシフト・レジスタに転送します。SO の出力ドライバは、 \overline{CS} が論理 [0] のときにイネーブルされます。 \overline{CS} は、SCLK が論理 [0] のときのみ論理 [1] から論理 [0] の状態に移行します。 \overline{CS} は、アクティブ・プルアップ (I_{UP}) を内蔵します。



- 注意
1. \overline{RST} は、上記の動作中は論理 [1] です。
 2. D7:D0 は、デバイスに指示される最新の入力データを表します。
 3. OD7:OD0 は、デバイスから指示されるフォルト・データおよびステータス・データの先頭の 8 ビットを表します。

図 9. 8 ビットの単独ワードの SPI 通信



- 注意
1. RST は、上記の動作中は論理 [1] です。
 2. D7:D0 は、デバイスに指示される最新の入力データを表します。
 3. D7*:D0* は、デバイスにシフト・インされた前回の 8 ビット・データ(前回のコマンド・ワード)を表します。
 4. OD7:OD0 は、デバイスから指示されるフォルト・データおよびステータス・データの先頭の 8 ビットを表します。

図 10.8 ビットの複数ワードの SPI 通信

シリアル入力通信

SPI 通信には、8 ビット・メッセージが使用されます。MCU は、MSB (D7) で開始して LSB (D0) で終了するメッセージを送信します (表 8)。SI ピンで受信する各コマンド・メッセージのビット割当ては、以下の通りです。MSB (D7) はウォッチドッグ・ビットですが、場合により 2 つの出力に共通か 1 つの出力の専用のレジスタ・アドレス・ビットとして使用されます。次の 3 ビット (D6:D4) は、コマンド・レジスタの選択に使用されます。残りの 4 ビット (D3:D0) は、出力およびその保護機能の設定と制御に使用されます。

メッセージがすべて 8 ビットの倍数なら、デイズ・チェーンを目的とするアプリケーションに合わせて、または送信済みデータを確認するために、複数のメッセージを連続して送信することができます。8 ビット以外のメッセージでラッチ処理を行おうとしても、処理は実行されません。

33984 には、デバイスの設定および出力状態の制御を行うための定義済みのレジスタがあります。表 9 に、SI レジスタの一覧を示します。レジスタは、受信する SPI ワードの D6:D4 でアドレス指定されます (表 8)。

表 8. SI メッセージのビット割当て

ビット位置	SI メッセージ・ビット	ビットの説明
MSB	D7	出力選択のレジスタ・アドレス・ビット。ウォッチドッグでも使用される。トグルで切り替わるとウォッチドッグ条件が満たされる。
	D6:D4	レジスタ・アドレス・ビット。
	D3:D1	入力、出力、デバイス保護の各機能および SO ステータスの設定に使用される。
LSB	D0	入力、出力、デバイス保護の各機能および SO ステータスの設定に使用される。

表 9. シリアル入力のアドレスおよび設定のビット・マップ

SI レジスタ	シリアル入力データ							
	D7	D6	D5	D4	D3	D2	D1	D0
STATR	s	0	0	0	0	SOA2	SOA1	SOA0
OCR	x	0	0	1	CSNS1 EN	IN1_SPI	CSNS0 EN	IN0_SPI
SOCHLR	s	0	1	0	SOCHs	SOCL2s	SOCL1s	SOCL0s
CDTOLR	s	0	1	1	OL_DIS s	CD_DIS s	OCLT1s	OCLT0s
DICR	s	1	0	0	FAST SR s	CSNS high s	IN DIS s	A/Os
OSDR	0	1	0	1	0	OSD2	OSD1	OSD0
WDR	1	1	0	1	0	0	WD1	WD0
NAR	0	1	1	0	0	0	0	0
UOVR	1	1	1	0	0	0	UV_dis	OV_dis
TEST	x	1	1	1	フリースケールで使用 (テスト用)			

x = ドント・ケア。

s (SOA3 ビット) = 出力選択 : 論理 [0] = HS0、論理 [1] = HS1。

デバイス・レジスタのアドレッシング

以降では、レジスタをアドレス指定する場合のデバイス動作への影響について解説します。

アドレス X000—ステータス・レジスタ (STATR)

STATR レジスタは、デバイス・ステータスや各コンフィギュレーション・レジスタの内容をリードするのに使用します。リードしてもデバイス動作やレジスタ内容は変化しません。ビット D2:D0 は、SO データの最初の 8 ビットの内容を指定します。レジスタの内容が 2 つの出力のいずれかの専用の場合は、ビット D7 で目的の出力が選択されます (SOA3)。この機能では、デバイス・ステータスに加えて OCR、SOCHLR、CDTOLR、DICR、OSDR、WDR、NAR、および UOVR の各レジスタの内容をリードすることができます (シリアル出力通信 (デバイス・ステータス返答データ) の項を参照してください)。

アドレス X001—出力制御レジスタ (OCR)

MCU は、OCR レジスタを使用して SPI を通じて出力を制御することが可能です。入力メッセージのビット D0 は、ハイスайд出力 HS0 の目的の状態を指示します (IN0_SPI)。このビットが論理 [1] なら出力が切り替えられ、論理 [0] なら出力がオフにされます。メッセージのビット D1 が論理 [1] なら、電流検知 (CSNS) ピンがイネーブルされます。入力メッセージのビット D2 は、ハイスайд出力 HS1 の目的の状態を指示します (IN0_SPI)。このビットが論理 [1] なら出力が切り替えられ、論理 [0] なら出力がオフにされます。メッセージのビット D3 が論理 [1] なら、CSNS ピンがイネーブルされます。両方の出力の電流検知がイネーブルの場合、電流値は合計されます。ビット D7 は、ウォッチドッグがイネーブルの場合にウォッチドッグ処理に使用されます。

アドレス X010—過電流上限/下限レジスタ (SOCHLR) の選択

MCU は、SOCHLR レジスタを使用して出力過電流の下限と上限の検出レベルをそれぞれ設定することが可能です。各出力の設定は、ビット D7 の状態に応じて個別に選択されます。D7 が論理 [0] のときにこのレジスタにライトすると、HS0 の電流検出レベルが設定されます。D7 が論理 [1] のときにこのレジスタにライトすると、HS1 が設定されます。各出力の設定レベルは変更が可能です。このタイムラグ・ヒューズ・エミュレーション機能は、デバイスの保護に加えてシステム特性に合わせた負荷条件の最適化にも使用できます。ビット D2:D0 は、過電流下限検出レベルを 8 つのレベルの中から選択します。表 10 を参照してください。ビット D3 は、過電流上限検出レベルを 2 つのレベルの中から選択します。表 11 を参照してください。

表 10. 過電流下限検出レベル

SOCL2 (D2)	SOCL1 (D1)	SOCL0 (D0)	過電流下限検出 (アンペア)
0	0	0	25
0	0	1	22.5
0	1	0	20
0	1	1	17.5
1	0	0	15
1	0	1	12.5
1	1	0	10
1	1	1	7.5

表 11. 過電流上限検出レベル

SOCH (D3)	過電流上限検出 (アンペア)
0	100
1	75

アドレス X011—電流検出時間 / オープン負荷レジスタ (CDTOLR)

MCU は、CDTOLR レジスタを使用してデバイスが過電流下限条件を検出してから出力をラッチ・オフするまでの時間を指定します。各出力の設定は、ビット D7 の状態に応じて個別に選択されます。D7 が論理 [0] のときにこのレジスタにライトすると、HS0 のタイムアウトが設定されます。D7 が論理 [1] のときにこのレジスタにライトするとき、HS1 が設定されます。MCU は、ビット D1:D0 を使用して表 12 で定義される 4 つのフォルト・ブランキング時間の 1 つを選択することができます。このタイムアウト値は、過電流下限検出レベルにのみ適用されず。選択された過電流上限レベルに達する場合は、デバイスは 20 μ s 以内にラッチ・オフされます。

表 12. 過電流下限検出ブランキング時間

OCLT[1:0]	時間
00	155 ms
01	10 ms
10	1.2 ms
11	150 μ s

ビット D2 が論理 [1] なら、過電流下限検出タイムアウト機能 (CD_dis) はディスエーブルされます。ビット D3 が論理 [1] なら、負荷オープン (OL) 検出機能はディスエーブルされます。

アドレス X100—ダイレクト入力制御レジスタ (DICR)

MCU は、DICR レジスタを使用して各出力のダイレクト入力ピンの制御をイネーブル、ディスエーブル、または設定します。各出力の設定は、ビット D7 の状態に応じて個別に選択されます。D7 が論理 [0] のときにこのレジスタにライトすると、HS0 のダイレクト入力制御が設定されます。D7 が論理 [1] のときにこのレジスタにライトすると、HS1 が設定されます。

ビット D1 が論理 [0] なら、IN ピンによる出力の直接制御がイネーブルされます。ビット D1 が論理 [1] なら、出力の直接制御はディスエーブルされます。このレジスタをアドレッシングするときに、入力の直接制御機能がイネーブルされていてビット D0 が論理 [1] なら、OCR レジスタのアドレッシングの際に該当の IN ピンと対応する D0 メッセージ・ビットで AND のブール演算が実行されます。ビット D0 が論理 [0] なら、OCR レジスタのアドレッシングの際に該当の IN ピンと対応するメッセージ・ビットで OR のブール演算が実行されます。

DICR レジスタは、1 つのパルス幅変調信号による同じ周波数およびデューティ・サイクルで複数の負荷がパルス幅変調される場合に、負荷を個別にオンおよびオフするのに使用すると便利です。この処理を設定するには、複数のデバイスの関連するダイレクト入力ピンを MCU の PWM 出力ポートに接続し、各出力を対応するダイレクト入力ピンで制御するように設定します。この場合、DICR は各出力のダイレクト入力と同じく出力を制御する専用の SPI ビットとの AND のブール演算の処理に用いられます。各 SPI ビットを使用すると、共通の PWM 信号による割り当てられた出力の制御をイネーブルおよびディスエーブルできます。

ビット D2 が論理 [1] なら、選択された出力の CSNS ピンで高比率 (C_{SR1} 1/41000) が選択されます。デフォルト値は [0] で、低比率が選択されます (C_{SR0} 1/20500) ビット D3 が論理 [1] なら、選択された出力で高速スルー・レートが選択されます。デフォルト値は [0] で、低速スルー・レートが選択されます。

アドレス 0101—出力スイッチ・ディレイ・レジスタ (OSDR)

OSDR レジスタは、SPI (ダイレクト入力ではない) で起動されるデバイスの出力オンの遷移期間でアクティブとなるプログラマブルな遅延を設定します。

このレジスタにライトすると、両方の出力で別の遅延が設定されます。入力で論理 [0] から論理 [1] への移行が指示されると、両方の出力は OSDR で設定される時間でオフに維持されます。このレジスタの内容を変更しても、デバイスのフェールセーフ・モードの動作には影響しません。OSDR レジスタのデフォルト値は 000 で、遅延なしに設定されます。この機能を利用すると、インラッシュ電流 (サージ) を最小限に抑えて単独のコマンドで負荷をオンに切り替えることが可能です。出力スイッチ・ディレイは、0 ms ~ 525 ms の 8 つの中から選択できます。[表 13](#) を参照してください。

表 13. スイッチ・ディレイ

OSD[2:0] (D2:D0)	起動遅延 (ms) HS0	起動遅延 (ms) HS1
000	0	0
001	75	0
010	150	150
011	225	150
100	300	300
101	375	300
110	450	450
111	525	450

アドレス 1101—ウォッチドッグ・レジスタ (WDR)

MCU は、WDR レジスタを使用してウォッチドッグ・タイムアウトを設定します。ウォッチドッグ・タイムアウト周期の設定には、ビット D1:D0 を使用します。ビット D1:D0 で目的のウォッチドッグ・タイムアウト周期が設定されている場合、次のカウント・シーケンスの先頭で新たにタイムアウト周期がプログラムされるように、WD ビット (D7) をトグルさせて切り替える必要があります。[表 14](#) を参照してください。

表 14. ウォッチドッグ・タイムアウト

WD[1:0] (D1:D0)	周期 (ms)
00	620
01	310
10	2500
11	1250

アドレス 0110—ノー・アクション・レジスタ (NAR)

NAR レジスタは、デジター・チェーンの SPI 設定でノー・オペレーションの SPI データ・パケットを入れるのに使用できます。ノー・オペレーションが指示されると、デバイスはデジター・チェーンの SPI 設定でクロック同期により入力されるコマンドの影響を受けません。また、WD ビット (D7) をトグルで切り替えればウォッチドッグ回路は定期的にもリセットされるため、デバイスからプログラミングやデータ・リードバックの機能が要求されることもありません。

アドレス 1110—低電圧/過電圧レジスタ (UOVR)

UOVR レジスタは、過電圧や低電圧の保護のディスエーブルやイネーブルに使用します。デフォルト (論理 [0]) では、両方の保護がアクティブになります。保護がディスエーブルの場合、低電圧や過電圧のフォルト条件は出力のフォルト・レジスタで通知されません。

アドレス X111—TEST

TEST レジスタはテスト用に予約済みで、通常動作時は SPI でアクセスできません。

シリアル出力通信 (デバイス・ステータス返答データ)

CS ピンが Low に引き下げられると、出力ステータス・レジスタにデータがロードされます。このとき、新規メッセージ・データがクロック同期で SI ピンに入力され、MSB (OD7) から順にクロック同期でデータが出力されます。SO からクロック同期で出力されるデータの最初の 8 ビット、およびそれ以降の CS の変化は、その前に SPI にライトされたワードで決まります。

先頭の 8 ビット以降に SO ピンからクロック同期で出力されるビットは、CS ピンが最初に論理 [0] に変化した以降に SI ピンに入力されたメッセージ・ビットです。この機能は、デジタイズ・チェーンのデバイスやメッセージ検証で利用すると便利です。

有効なメッセージ長は、CS が論理 [0] から論理 [1] に変化した後で決まります。メッセージ長が有効なら、データは該当のレジスタにラッチされます。有効なメッセージ長は 8 ビットの倍数です。この時点では、SO ピンはトライステートになっており、フォルト・ステータス・レジスタは新しいフォルト・ステータス情報を受け付けることが可能です。

出力ステータス・レジスタは、SPI 通信で CS が論理 [0] に引き下げられたときに STATR で選択されたレジスタ・データのステータス、/または前回の SPI 通信後のレジスタ・データのステータスを正しく表します。ただし以下の例外を除きます。

- 前回の SPI 通信が無効として指定される場合。この場合は、無効な SPI 通信が実行されなかったものとしてステータスが通知されます。
- バッテリーが 6.0 V 未満に降下すると、出力の低電圧遮断が発生してステータス・レジスタに不正なデータがロードされます。そのため、V_{PWR} の低電圧条件の後で最初の SPI 通信により MCU に送信される SO データは、無視する必要があります。
- RST ピンが論理 [0] から論理 [1] に変化するとき WAKE ピンが論理 [0] のときも、ステータス・レジスタに不正なデータがロードされます。そのため、この条件の後で最

初の SPI 通信により MCU に送信される SO データは、無視する必要があります。

シリアル出力のビット割当て

シリアル出力データの 8 ビットの意味は、以降で説明するように前回のシリアル入力メッセージの内容により決まります。表 15 に、SO レジスタの内容の一覧を示します。

ビット OD7 は、前回の通信でアドレス指定されたウォッチドッグ・ビット (D7) の状態を表します。前回の D7 の値は、フォルト (FLTR)、SOCHLR、CDTOLR、および DICR の各レジスタのステータス情報が適用される出力を指定します。SO データは、STATR のビットの D2:D0 による指定に応じて、フォルト・ステータスからレジスタ内容に至る情報を表します。SO データは、STATR へのライトにより指定が変更されるまでは、直前の STATR へのライトで選択された各出力 (前回のメッセージの D7 の状態が決まる) の情報を継続して示します。

SOA[2:0] の前回アドレス=000

前回の MSB 側の 3 ビットが 000 なら、ビット OD6:OD0 はビット D7 で前回に選択された出力に対応するフォルト・レジスタ (FLTR) の現在の状態を表します (表 16)。

SOA[2:0] の前回アドレス=001

ビット OD1:OD0 のデータは、それぞれ CSNS0_{EN} と IN0_{SPI} にプログラムされたビットを格納します。ビット OD3:OD2 のデータは、それぞれ CSNS1_{EN} と IN1_{SPI} にプログラムされたビットを格納します。

SOA[2:0] の前回アドレス=010

ビット OD3 のデータは、プログラムされた過電流上限検出レベルです (表 11 参照)。ビット OD2:OD0 のデータは、プログラムされた過電流下限検出レベルです (表 12 参照)。

表 15. シリアル出力のビット・マップの説明

前回の STATR へのライト D7, D2, D1, D0				シリアル出力返答データ							
SOA3	SOA2	SOA1	SOA0	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
s	0	0	0	s	OTFs	OCHF _s	OCLF _s	OLF _s	UVF	OVF	FAULT _s
x	0	0	1	x	0	0	1	CSNS1 _{EN}	IN1 _{SPI}	CSNS0 _{EN}	IN0 _{SPI}
s	0	1	0	s	0	1	0	SOCH _s	SOCL2 _s	SOCL1 _s	SOCL0 _s
s	0	1	1	s	0	1	1	OL _{DIS} s	CD _{DIS} s	OCLT1 _s	OCLT0 _s
s	1	0	0	s	1	0	0	FAST SR s	CSNS High s	IN DIS s	A/Os
0	1	0	1	0	1	0	1	FSM_HS0	OSD2	OSD1	OSD0
1	1	0	1	1	1	0	1	FSM_HS1	WDTO	WD1	WD0
0	1	1	0	0	1	1	0	IN1 ピン	IN0 ピン	FSI ピン	WAKE ピン
1	1	1	0	1	1	1	0	-	-	UV _{dis}	OV _{dis}
x	1	1	1	-	-	-	-	-	-	-	-

s = 出力の選択: 論理 [0] = HS0、論理 [1] = HS1。

x = ドント・ケア。

表 16. フォルト・レジスタ

OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
s	OTF	OCHF _s	OCLF _s	OLF _s	UVF	OVF	FAULT _s

OD7 (s) = 出力の選択：論理 [0] = HS0、論理 [1] = HS1

OD6 (OTF) = 過熱フラグ

OD5 (OCHF_s) = 過電流上限フラグ
(このフォルトはラッチされる)

OD4 (OCLF_s) = 過電流下限フラグ
(このフォルトはラッチされる)

OD3 (OLF_s) = 負荷オープン・フラグ

OD2 (UVF) = 低電圧フラグ
(このフォルトはラッチされる場合とされない場合がある)

OD1 (OVF) = 過電圧フラグ

OD0 (FAULT_s) = このフラグはフォルト条件を通知し、リード操作によりリセットされる

注意 $\overline{\text{FS}}$ ピンはフォルト条件を通知します。フォルト条件がラッチされている場合、このピンは (SPI またはダイレクト入力による) 次の切替えコマンドによりリセットされます。

SOA[2:0] の前回アドレス=011

ビット OD1 と OD0 で返答されるデータは、過電流フォルトのブランキング時間の電流値です。表 12 を参照してください。ビット OD2 は、過電流検出タイムアウト機能がアクティブかどうかを通知します。ビット OD3 は、負荷オープン回路がアクティブかどうかを通知します。

SOA[2:0] の前回アドレス=100

返答データは、DICR にプログラムされた値です。

SOA[2:0] の前回アドレス=101

- SOA₃ = 0 の場合。返答データは OSDR にプログラムされた値です。ビット OD3 (FSM_HS0) は、ウォッチドッグ・タイムアウトが発生した後のフェールセーフ・モードでの出力 HS0 の状態を表します。
- SOA₃ = 1 の場合。返答データは WDR にプログラムされた値です。ビット OD2 (WDTO) は、ウォッチドッグ回路のステータスを表します。WDTO ビットが論理 [1] なら、ウォッチドッグはタイムアウトしており、デバイスはフェールセーフ・モードです。WDTO が論理 [0] なら、デバイスは通常モードで (デバイスに電力が供給されていてスリープ・モードではない) ウォッチドッグはイネーブルの場合とディスエーブル場合があります。ビット OD3 (FSM_HS0) は、ウォッチドッグ・タイムアウトが発生した後のフェールセーフ・モードでの出力 HS1 の状態を表します。

SOA[2:0] の前回アドレス=110

- SOA₃ = 0 の場合。OD3:OD0 の各ビットは、それぞれ IN1、IN0、FSI、および WAKE ピンの状態を返送します (表 17)。

表 17. ピン・レジスタ

OD3	OD2	OD1	OD0
IN1 ピン	IN0 ピン	FSI ピン	WAKE ピン

- SOA₃ = 1 の場合。返答データは UOVR にプログラムされた値です。ビット OD1 は低電圧保護の状態を表し、ビット OD0 は過電圧保護の状態を表します。表 15 を参照してください。

SOA[2:0] の前回アドレス=111

ヌル・データ。前回にレジスタのリードバック・コマンドを受信していないために、ビット OD2:OD0 はヌル (または 000) です。

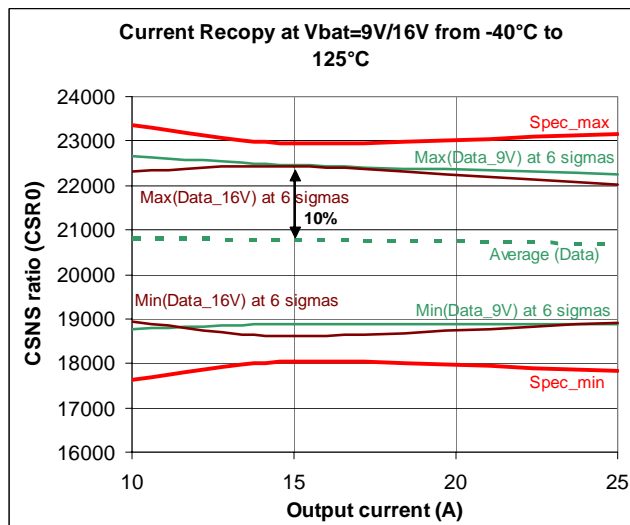


図 12. すべての要因が関係する場合の CSR0 比の変化

VPWR 電圧が低下するとより多くのエラーが発生します。9.0V の場合に最悪ケースとなります。図 13 に、バッテリー電圧変化の要因を除去した場合の CSR0 誤差を示します。

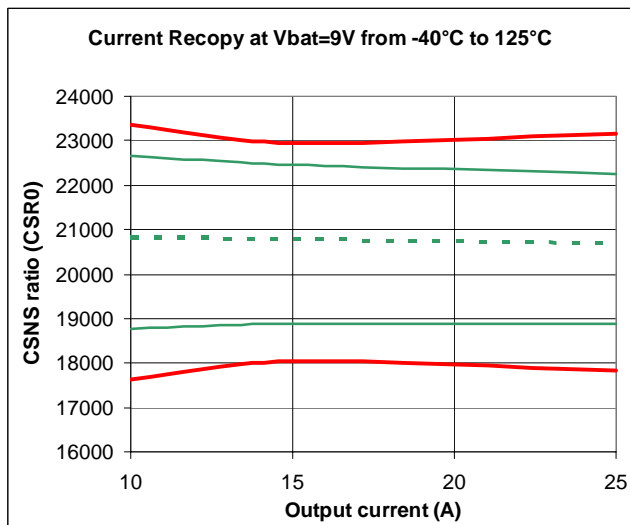


図 13. パーツ間のばらつきと温度変化が関係する場合の CSR0 比の変化

最大の要因となるのはパーツ間の製造ばらつきです。図 14 を参照してください。出力電流が 15A の場合、誤差はすべての要因を考慮する場合の 10% に対して約 8.5% です。

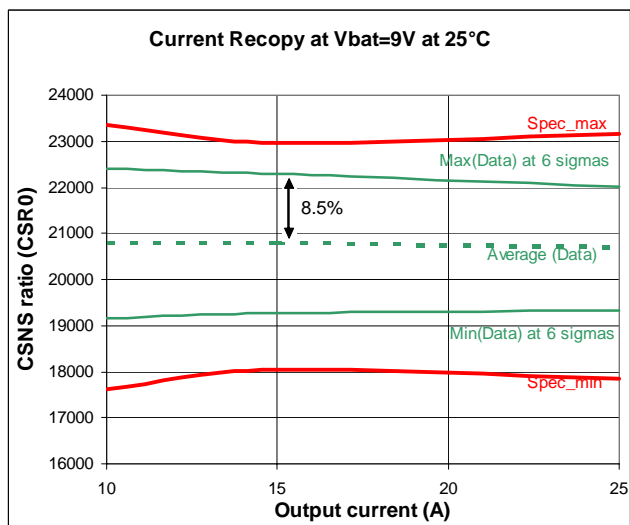


図 14. パーツ間のばらつきによる CSR0 比の変化

パーツ校正

パーツ間のばらつきは、校正処理を実施して除去することができます。

以下の実験は、低い出力電流値 (5.0A) で行っています。実験では、各出力 (25 において 5.0A、VPWR=16V) での 1 つの校正ポイントによる相対的な CSR0 の変化を 3 つの製品ロットで検証します。この検証は、デバイスの経年変化をみるために高温動作寿命テストを実施する前と後で行います。

表 18 に、99.74% のパーツを対象とする結果の一覧を示します。

表 18. 5.0A で 1 つの校正ポイントを実施した場合の複数の出力電流値に対する CSR0 精度

CSR0 比	最小	最大
0.5A	-25%	25%
1.0A	-12%	12%
2.5A	-8.0%	8.0%
5.0A	-5.0%	5.0%

パッケージ

はんだ処理に関する情報

はんだ処理に関する情報

33984 は表面実装のパワー・パッケージで提供され、プリント基板に直接はんだ付けするように設計されています。

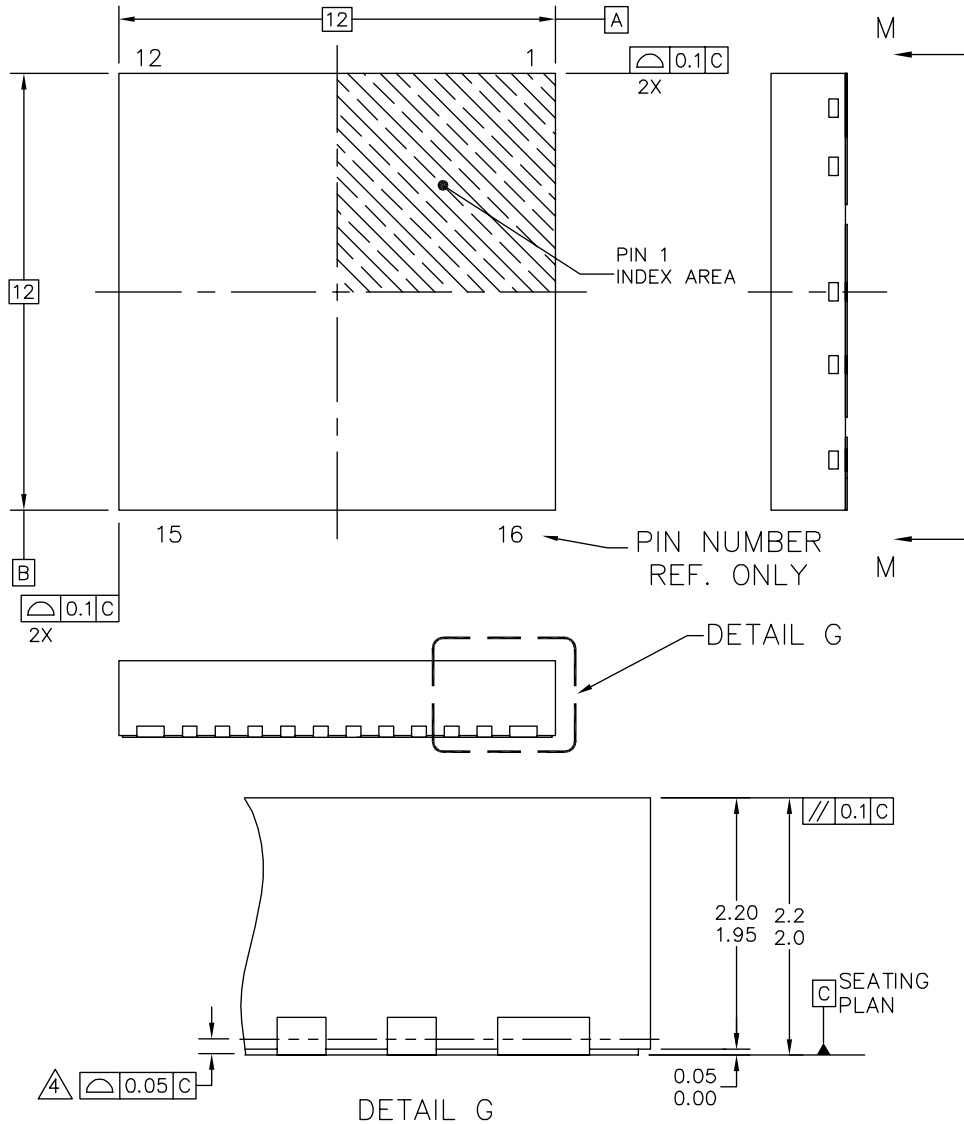
33984 は、JEDEC 標準の JESD22-A113-B および J-STD-020A に準拠することが承認されています。推奨されるリフロー条件は以下の通りです。

- 対流環境：225 +5.0/-0
- 蒸気相リフロー (VPR)：215 ~ 219
- 赤外線 (IR) 対流環境：225 +5.0/-0

はんだ処理時は、最大ピーク温度が 230 を超えないように注意が必要です。また、最大温度による処理時間は 10 秒 ~ 40 秒 (最大値) です。

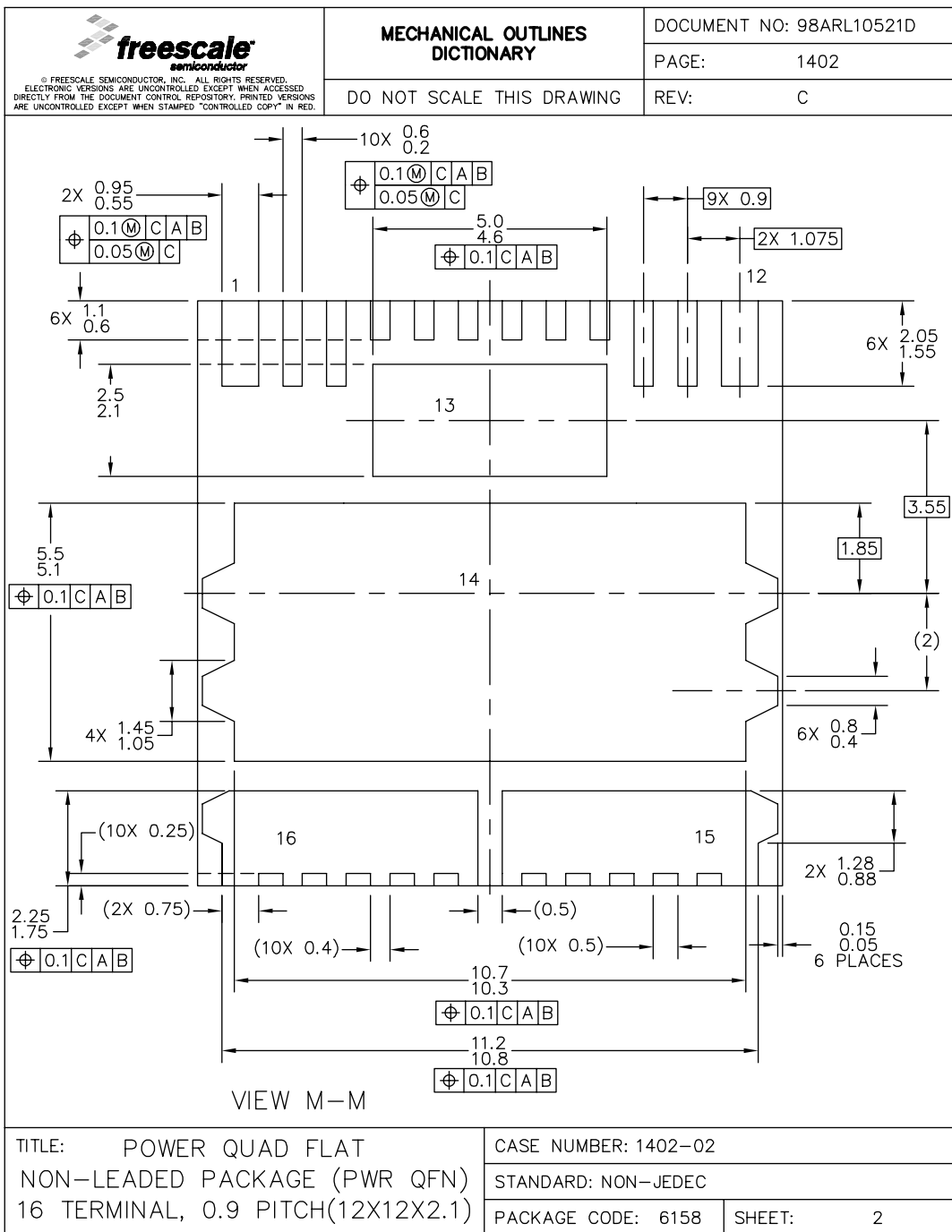
パッケージ寸法

最新のパッケージ・リビジョンの情報については、www.freescale.com にアクセスして 98ARL10521D のキーワードで検索を行ってください。



© FREESCALE SEMICONDUCTOR, INC. ALL RIGHTS RESERVED.	MECHANICAL OUTLINE	PRINT VERSION NOT TO SCALE
TITLE: POWER QUAD FLAT NON-LEADED PACKAGE (PWR QFN) 16 TERMINAL, 0.9 PITCH(12X12X2.1)	DOCUMENT NO: 98ARL10521D CASE NUMBER: 1402-02 STANDARD: NON-JEDEC	REV: C 27 APR 2005

PNA サフィックス
16 ピン PQFN
鉛不使用パッケージ
98ARL10521D
イシュー C



補足資料

熱に関する追加情報 (REV 2.0)

はじめに

これは、MC33984 の技術データ・シートの補足情報です。以降では、システム・アプリケーションの設計および開発で重要となる熱性能について説明します。電気特性、アプリケーション、およびパッケージに関するすべての情報はデータシートに記載されています。

パッケージおよび熱に関する検討事項

このパッケージはデュアル・ダイ・パッケージです。パッケージには P_1 と P_2 の 2 つの熱源があり、個別に熱を発生させます。したがって、接合部温度は T_{J1} と T_{J2} の 2 つで、 R_{qJAmm} の熱抵抗マトリクスが適用されます。

$m, n = 1$ の場合、接合部 1 から基準温度までの熱抵抗は R_{qJA11} で、 P_1 のみが熱源となります。

$m = 1, n = 2$ の場合、接合部 1 から基準温度までの熱抵抗は R_{qJA12} で、 P_2 のみが熱源となります。以上の設定は、それぞれ R_{qJ21} と R_{qJ22} に適用されます。

$$\begin{Bmatrix} T_{J1} \\ T_{J2} \end{Bmatrix} = \begin{bmatrix} R_{\theta JA11} & R_{\theta JA12} \\ R_{\theta JA21} & R_{\theta JA22} \end{bmatrix} \cdot \begin{Bmatrix} P_1 \\ P_2 \end{Bmatrix}$$

以上の数値は、標準環境でのパッケージ間の熱性能だけを比較したものです。この方法は推奨する意図で示したのではなく、また各アプリケーション環境でのパッケージの性能を予測するものでもありません。以下に、標準に基づいて計測およびシミュレーションを行った結果を示します。

規準

表 1. 熱性能の比較

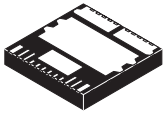
熱抵抗	1 = 電源チップ、2 = ロジック・チップ [°C/W]		
	$m = 1, n = 1$	$m = 1, n = 2$ $m = 2, n = 1$	$m = 2, n = 2$
$R_{\theta JAmn}^{(1)(2)}$	20	16	39
$R_{\theta JBmn}^{(2)(3)}$	6.0	2.0	26
$R_{\theta JAmn}^{(1)(4)}$	53	40	72
$R_{\theta Jcmn}^{(5)}$	<0.5	0.0	1.0

注意：

1. 自然換気、静止空気の場合で JEDEC JESD51-2 に準拠。
2. JEDEC JESD51-7 および JESD51-5 に準拠する 2s2p 熱検査基板。
3. JEDEC JESD51-8 に準拠するパワー出力近辺の中央トレースでの基板温度。
4. JEDEC JESD51-3 および JESD51-5 に準拠する単層熱検査基板。
5. ダイ接合部と非絶縁パッド間の熱抵抗、非絶縁パッドに“無限”ヒート・シンクを装着。

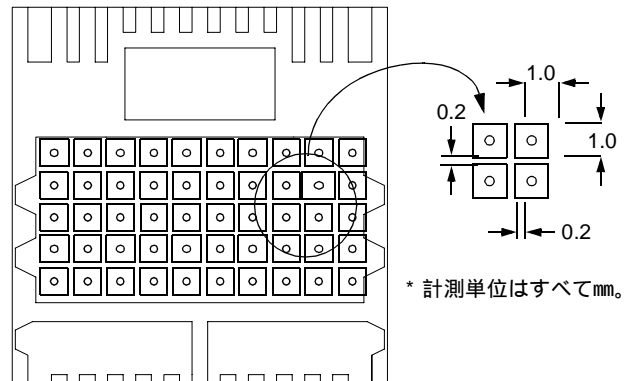
33984

ハイサイド・スイッチ



PNA サフィックス
98ARL10521D
16 ピン PQFN

注意：パッケージ寸法については、33984 のデータシートを参照してください。



注意：推奨されるビア直径は 0.5 mm です。PTH (めっきスルー・ホール) ビアは、ボイドの形成を最小限に抑えてビアへのはんだの流入を防ぐために、エポキシ樹脂またははんだマスクを充填する必要があります。

図 1. 表面実装の露出パッド付き電源 PQFN

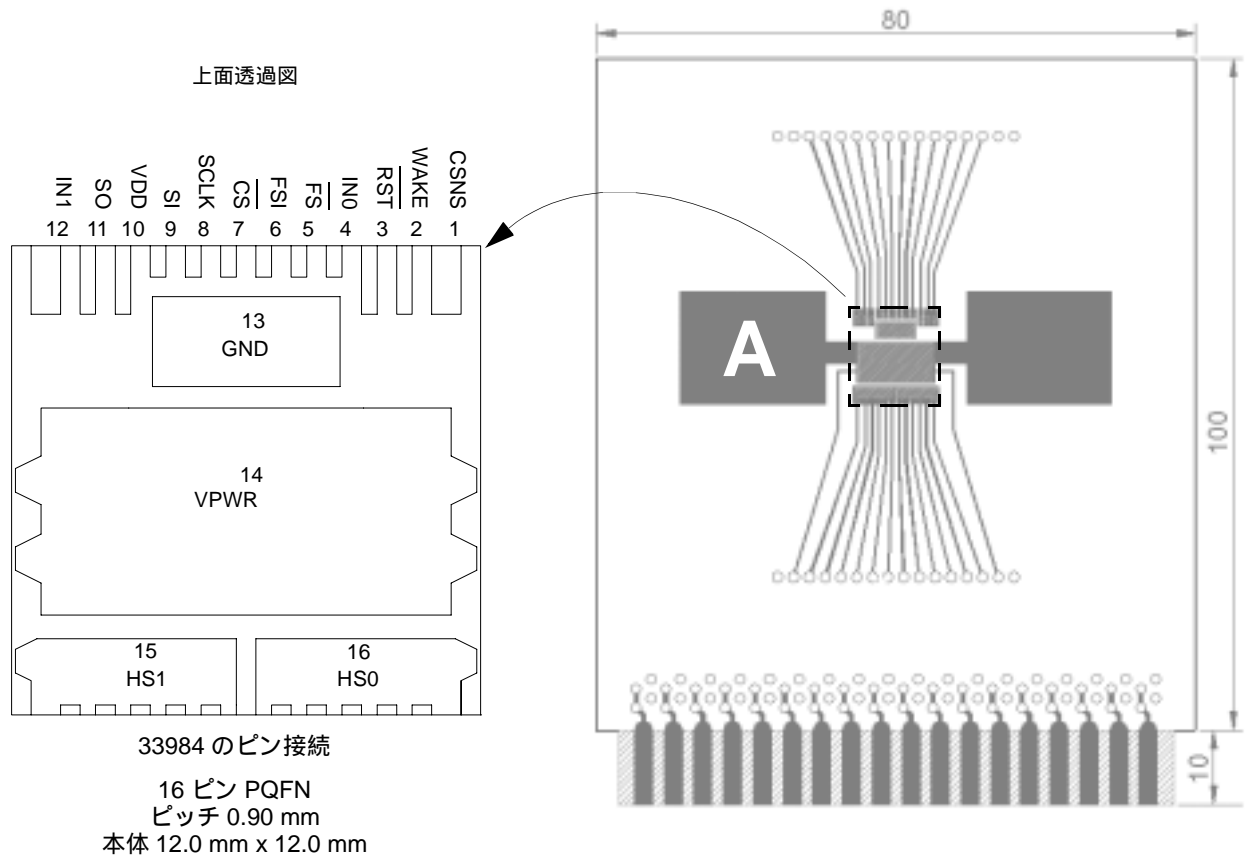


図 2. 熱検査基板

熱検査基板上的デバイス

- 素材： 単層プリント基板
FR4、1.6 mm 厚
Cu トレース、0.07 mm 厚
- 外形： 80 mm x 100 mm の基板領域（熱検査用のエッジ・コネクタを含む）
- 領域 A： 基板表面上の Cu 放熱領域
- 周囲条件： 自然対流、無風状態

表 2. 熱抵抗性能

熱抵抗	領域 A： (mm ²)	1 = 電源チップ、2 = ロジック・チップ [°C/W]		
		<i>m</i> = 1, <i>n</i> = 1	<i>m</i> = 1, <i>n</i> = 2 <i>m</i> = 2, <i>n</i> = 1	<i>m</i> = 2, <i>n</i> = 2
$R_{\theta JA mn}$	0	55	42	74
	300	41	31	66
	600	38	29	64

$R_{\theta JA}$ は、ダイ接合部と周囲空気間の熱抵抗です。
このデバイスはデュアル・ダイ・パッケージです。指標 *m* は、熱源となるダイを示します。指標 *n* は、接合部温度を検知するダイ番号を示します。

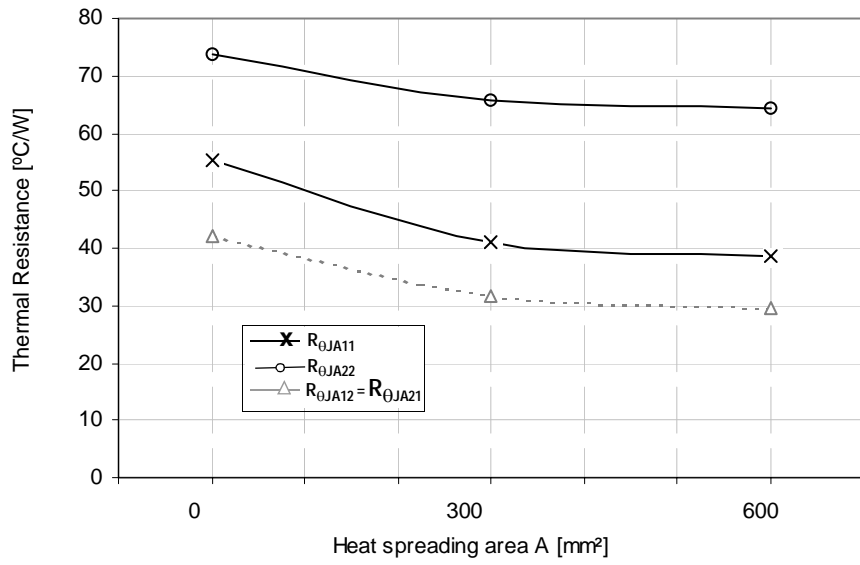


図 3. 熱検査基板上的のデバイスの R_{θJA}

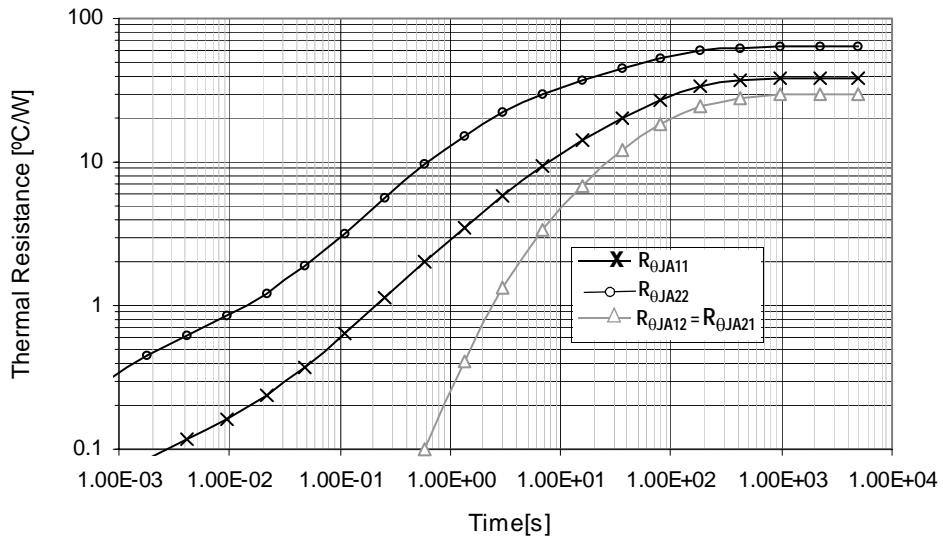


図 4. 熱検査基板上的のデバイスの過渡的熱抵抗 R_{θJA} (1 W ステップ応答)
(領域 A = 600 (mm²))

How to Reach Us:

Home Page:
www.freescale.com

Web Support:
<http://www.freescale.com/support>

USA/Europe or Locations Not Listed:
Freescale Semiconductor, Inc.
Technical Information Center, EL516
2100 East Elliot Road
Tempe, Arizona 85284
+1-800-521-6274 or +1-480-768-2130
www.freescale.com/support

Europe, Middle East, and Africa:
Freescale Halbleiter Deutschland GmbH
Technical Information Center
Schatzbogen 7
81829 Muenchen, Germany
+44 1296 380 456 (English)
+46 8 52200080 (English)
+49 89 92103 559 (German)
+33 1 69 35 48 48 (French)
www.freescale.com/support

Japan:
Freescale Semiconductor Japan Ltd.
Headquarters
ARCO Tower 15F
1-8-1, Shimo-Meguro, Meguro-ku,
Tokyo 153-0064, Japan
0120 191014 or +81 3 5437 9125
support.japan@freescale.com

Asia/Pacific:
Freescale Semiconductor Hong Kong Ltd.
Technical Information Center
2 Dai King Street
Tai Po Industrial Estate
Tai Po, N.T., Hong Kong
+800 2666 8334
support.asia@freescale.com

For Literature Requests Only:
Freescale Semiconductor Literature Distribution Center
P.O. Box 5405
Denver, Colorado 80217
1-800-441-2447 or 303-675-2140
Fax: 303-675-2150
LDCForFreescaleSemiconductor@hibbertgroup.com

本書に記載された情報は、システムおよびソフトウェア開発者がフリースケール製品を使用できるよう補助することのみを目的としています。本書に記載された情報に基づく集積回路の設計/製造に関する明示的または暗黙のライセンスを許諾するものではありません。

当社は、本書に記載した製品について、信頼性、機能または設計を改善するために予告なく変更を加える権限を保有しています。当社はここに記載した製品、回路の適用、使用に起因するいかなる責務をも負うものではなく、また、当社の特許権または第三者の権利に基づくライセンスを許諾するものではありません。仕様として記述される「標準 (Typical)」パラメータは各用途において変化する場合があり、実際の性能は長期間で変動する可能性があります。「標準」パラメータを含むすべての動作パラメータは、利用者側で技術担当者が使用環境に応じて適切な値に設定することが求められます。当社の製品は、外科的に人体に移植することを意図したシステムの構成部品として、または、他の生命維持を意図した用途に、または、当社の製品の不具合により人体に危害を加えたり死に至らしめるかもしれない状況が発生するような用途に使用するために、設計、意図または認可されているものではありません。購入者が万一このような意図または認可されていない用途のために当社の製品を購入あるいは使用する場合、購入者は、当社およびその役員、従業員、子会社、関連会社、代理店に対し、直接または間接を問わず、当該使用に関連した傷害や死についてのすべての申し立て（たとえ、当社が部品の設計や製造において不注意であったという主張であったとしても）から生ずるすべての請求、費用、損害、および相当の弁護士費用を補償し、被害が及ばないものとするものとします。



Freescale および Freescale のロゴマークは、フリースケール社の商標です。文中に記載されている他社の製品名、サービス名等は、それぞれ各社の商標です。

© Freescale Semiconductor, Inc. 2007. All rights reserved.

MC33984J
Rev. 0
09/2007
(原文 MC33984 Rev. 9.0, 01/2007)